

文章编号: 1001-3806(2014)05-0679-05

布里渊传感系统中超高速方波脉冲源的设计

尹成群, 田航, 李永倩, 吕安强, 黄涵娟

(华北电力大学 电子与通信工程系, 保定 071003)

摘要: 为了解决布里渊传感器技术中缺少超高速方波脉冲源的实际情况, 实现总线较小的码间串扰及高速发送器通道较好的信号完整性, 采用对系统中的敏感信号线进行串扰分析、建模及电磁场仿真分析并在此基础上进行制版测试的方法, 提出了一种基于现场可编程门阵列器件的超高速脉冲源的设计方案, 并进行了理论分析和实验验证。通过宽带示波器对实际板路的测量, 取得了脉冲信号不同脉宽的时域波形及眼图数据。结果表明, 输出脉冲的最小脉宽 1ns, 最大幅度 1.0V, 上升/下降时间均小于 300ps, 脉冲宽度在 1ns ~ 5ns 间可调, 重复频率在 1kHz ~ 10kHz 间可调。这一结果对超高速脉冲源的设计理论的完善是有帮助的。

关键词: 传感器技术; 超高速方波脉冲源; 信号完整性仿真; 串扰分析

中图分类号: TN782 **文献标志码:** A **doi:** 10.7510/jgjs.issn.1001-3806.2014.05.022

Design of ultrahigh-speed square wave pulser in a Brillouin sensing system

YIN Chengqun, TIAN Hang, LI Yongqian, LÜ Anqiang, HUANG Hanjuan

(Department of Electronic and Communication Engineering, North China Electric Power University, Baoding 071003, China)

Abstract: Because of the actual situation of the lack of ultrahigh-speed pulser for Brillouin sensor technique, the design method of an ultrahigh-speed pulser was introduced based on field-programmable gate array (FPGA) device. In order to achieve smaller inter-symbol interference and better signal integrity, the crosstalk, modeling and electro-magnetic field of sensitive signal were analyzed. The time-domain waveforms and eye diagrams of the pulse with different pulse width were measured with a broadband oscilloscope. The generated pulse was specified by the minimum pulse width of 1ns, the maximum swing of 1.0V and the rising and falling transition time of less than 300ps. The pulse width could range from 1ns to 5ns, while repetitive frequency could range from 1kHz to 10kHz. This result is helpful for improving the design of ultrahigh-speed pulsers.

Key words: sensor technique; ultrahigh-speed square wave pulser; signal integrity simulation; crosstalk analysis

引言

在光纤传感技术领域, 基于布里渊散射的分布式光纤传感技术性能优异, 因此在桥梁、水坝、石油管道、通信光缆等对国民经济有重大意义的大型工程监测领域得到了广泛的关注和研究。但是, 目前高性能布里渊传感系统的产品并不多见。脉冲信号源是布里渊传感系统实现电光变换、获取满足具有

特定性能传感光脉冲的关键部件。一个稳定性好、前后沿陡直、纳秒脉宽、可控周期的多功能脉冲发生器对分布型光纤布里渊测量设备的研制具有重要作用。

现阶段, 由于集成电路的速度不断提高, 脉宽较宽的小幅度方波脉冲可用集成电路较为轻松地实现。但是当脉宽在 10ns 以下时, 产生的脉冲信号大多为高斯信号^[1-3]。在光纤领域, 虽然通过光模块可以实现皮秒级^[4-5]、飞秒级窄脉冲^[6-7], 但由于器件本身的特性, 产生的脉冲大多是尖峰脉冲或钟形脉冲。

为了满足布里渊传感系统的需求, 作者基于高速现场可编程门阵列 (field-programmable gate array, FPGA) 器件研发了一种超高速纳秒级脉冲源。通过对板路的电磁场仿真设计, 为实际设计提供了一个

基金项目: 国家自然科学基金资助项目 (61377088); 河北省自然科学基金资助项目 (E2012502045); 中央高校基本科研业务费专项资金资助项目 (13MS62)

作者简介: 尹成群 (1953-), 男, 教授, 现主要从事的研究领域为功率变换技术、高速脉冲源技术。

E-mail: ycq@ncepu.edu.cn

收稿日期: 2013-09-05; 收到修改稿日期: 2013-11-07

正确的方向。此脉冲源价格低廉、体积小,并且波形较好,占空比可调,能够满足一定的功率输出。

1 系统的整体方案

光纤布里渊传感系统中,脉宽决定空间分辨率,脉宽越大,空间分辨率越低。若达到 1m 以内的空间分辨率,需要小于 10ns 的窄脉冲。为实现高性能的传感测量,脉冲需具有陡直的前沿和后延。针对以上要求,整体系统的设计指标为脉宽 1ns 至 5ns 可调,幅度不小于 500mV,前后沿时间小于 1/3 脉宽,重复频率 1kHz 至 10kHz 可调。

设计中选用 Altera 公司 Cyclone IV 系列的 EP4CGX15BF14C8N 芯片作为核心。此芯片的收发器能够产生最大 2.5Gbit/s、幅度为 1.2V 的脉冲序列。

系统各模块的连接图如图 1 所示。本窄脉冲产生系统由 FPGA 器件 EP4CGX15BF14、同步静态随机存取存储器 (synchronous static random access memory, SSRAM) 存储芯片 IS61VPS102418A、FPGA 收发器通道外围接口电路、+3.3V, +1.2V, +5V, +2.5V 系统电源、系统时钟及收发器通道专用时钟及联合测试工作组 (join test action group, JTAG) 和串行存储器 (erasable programmable configurable serial, EPCS) 配置电路构成。

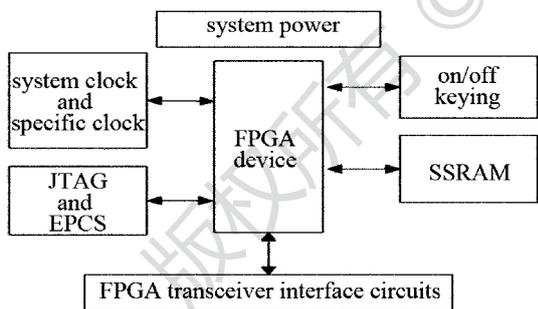


Fig. 1 System scheme diagram

本系统工作原理如下:通过软件编程使 FPGA 内部产生一个循环计数器,此计数器产生脉冲的速度只受内部参考时钟的控制。内部参考时钟为 125MHz 晶振经专用锁相回路 (phase locked loop, PLL) 的分频与倍频产生。对循环计数器的周期和码型的控制可通过串口发送指令或 6 个开关按键实现。由于脉冲宽度在 1ns 至 5ns 之间离散可调,重复频率在 1kHz ~ 10kHz 之间离散可调。用 6 个开关产生的码字控制控制循环计数器的周期和码型的变化。将循环计数器产生的码字送入 FPGA 高速收

发器的输入端,经过并串转换输出,即可产生出所需要的脉冲。

2 敏感信号线建模及电磁场仿真分析

2.1 数据总线的信号串扰仿真

串扰是指当信号在传输线上传播时,因电磁耦合对相邻的传输线产生的不同的电压噪声干扰。当多个高速信号长距离平行走线时,其间距应遵循 3W 原则^[8]。当满足 3W 原则时,信号线之间由互感、互容而产生的互扰可减少 70%。事实上,随着电路板密度的增加,往往无法保证所有信号线之间的间距都满足 3W 原则。对无法满足 3W 原则的高速信号,应做仿真实验予以验证。

在设计中,数据总线的设计应严格遵循 3W 原则,但是由于 FPGA 的封装问题,在走线的起始端,不能完全满足 3W 原则,因此,必须对其进行仿真分析以确定系统是否能容忍走线间的串扰。如图 2 所示,取出数据总线版图设计中最具代表性的一组走线^[7]。走线过程中可能遇到的所有问题在此组走线上集中出现。

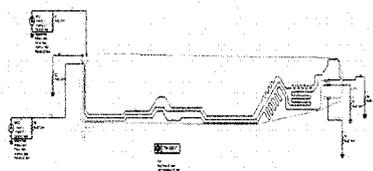


Fig. 2 Simulation model of data traces

将此组走线的版图导入至 ADS 软件,对两边的信号线同时施加高低电平不断转换的高速信号,此时对中间的信号线的影响最大。在此种激励条件下进行串扰仿真,观察在信号近端及远端的串扰情况,结果如图 3 所示。图中 t 是时间。

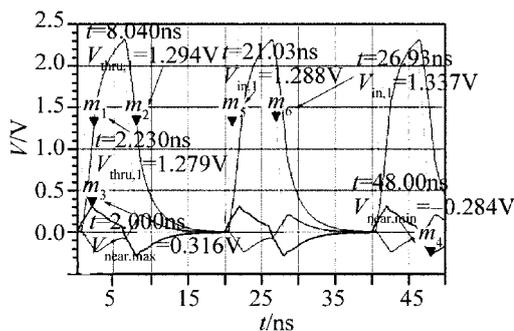


Fig. 3 Simulation model of data traces

从图 3 中可以读出以下信息:(1)在传输高速信号时,信号线上的能量受到损耗。图 3 中点 m_1 , m_2 ($V_{thru,1}$) 所在的曲线为远端信号的波形,由于传输

信道的影响,远端信号波形上升沿变圆;(2)此传输信道不会引起器件对高低电平的判决错误。FPGA与SSRAM的信号发送端与接收端的判决门限相同,均为1.25V,图3中点 $m_5, m_6 (V_{in,1})$ 所在的曲线为近端原始信号的波形,经传输的高速信号高电平在1.25V以上的部分与原始高速信号的基本相同;(3)通过查阅SSRAM和FPGA的器件手册可知,器件受到的负向电压不得小于-0.3V,串扰引起的正向电压不得大于0.7V。在图3中,点 $m_3, m_4 (V_{near})$ 所在的曲线为正向串扰引起的电压波形, V_{far} 为反向串扰引起的电压波形。可知,正向串扰比反向串扰引起的扰动要稍大一些。其引起的负向电压 $V_{near,min}$ 最小为-0.284V,正向电压 $V_{near,max}$ 最大为0.316V。此结果符合器件引脚对串扰的要求。

2.2 对高速发送器通道的建模及电磁场仿真

随着电子技术的发展,电路的规模越来越大,而器件的尺寸越来越小,器件引脚信号变化沿的速率变得越来越高,以致信号完整性问题成为高速电路设计中必须面对的主要问题。信号的阻抗匹配是影响信号完整性最主要的因素。对于传输线,必须考虑在信号传输路径上阻抗不匹配而带来的反射。

对于脉冲电路,信号的频宽 f 与上升时间 T_r 的关系为^[8]:

$$f = \frac{0.35}{T_r} \quad (1)$$

EP4CGX15BFC8N高速收发器通道的上升时间 T_{rise} 为:

$$50\text{ps} < T_{rise} < 200\text{ps} \quad (2)$$

则频宽 F 为:

$$1.75\text{GHz} < F < 7.00\text{GHz} \quad (3)$$

经计算后,在ADS软件环境下对高速收发器通道的差分传输线进行建模^[9-11],如图4a所示。差分线的特征阻抗设定为近似 100Ω ,单根引线的特征阻抗设定为近似 50Ω 。仿真结果如图4b所示。图中 f 表示频率。由图4b可知,在 $0\text{GHz} \sim 7\text{GHz}$ 的频带范围内,散射参量 S_{11} 均在 -30dB 以下,信号能量基本上可以全部由发送端传输至接收端。

图5a为初始导入至ADS的发送器通道的版图的电磁仿真结果。从图中可以看到,由于阻抗匹配不好,传输线上的能量向四周辐射严重。根据上述仿真结果构造差分线,并进行电磁场分析,得到的结果如图5b所示。

在图5b中,可以看到,经过重新设计后,差分线

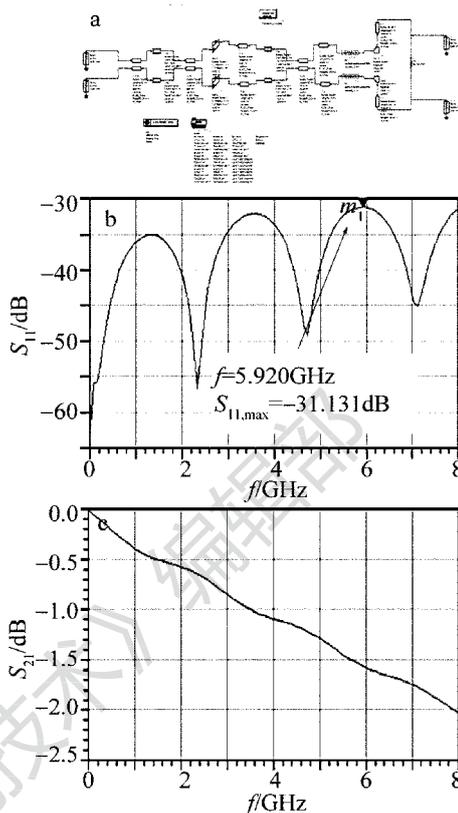


Fig. 4 Model and simulation result of differential pair transitionline

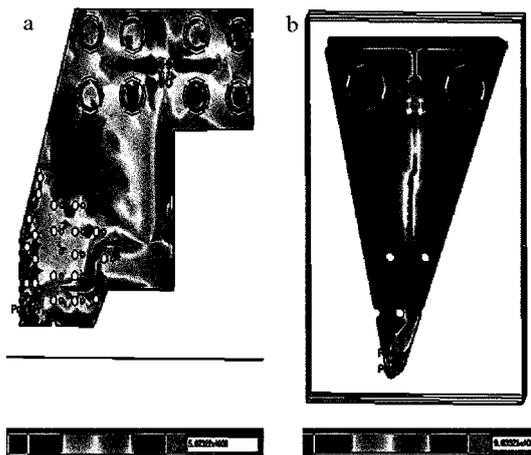


Fig. 5 a—layout model b—its electromagnetic field simulation results
上传输的能量基本都被束缚在了差分线上。高速信号除了对走线上方或下方的参考地有电流扰动外,其它的参考地平面基本上没有受到扰动。

由于测试设备的限制,在实际测试过程中,并不能直接测得高速通道的 S 参量及电磁场的分布情况。但是,可以利用高速示波器观测到高速通道的眼图及时域波形。因此,为了验证仿真的正确性,对高速收发器通道进行了通道仿真及时域仿真,如图6所示。

图6a是对初始版图进行通道仿真得到的眼图

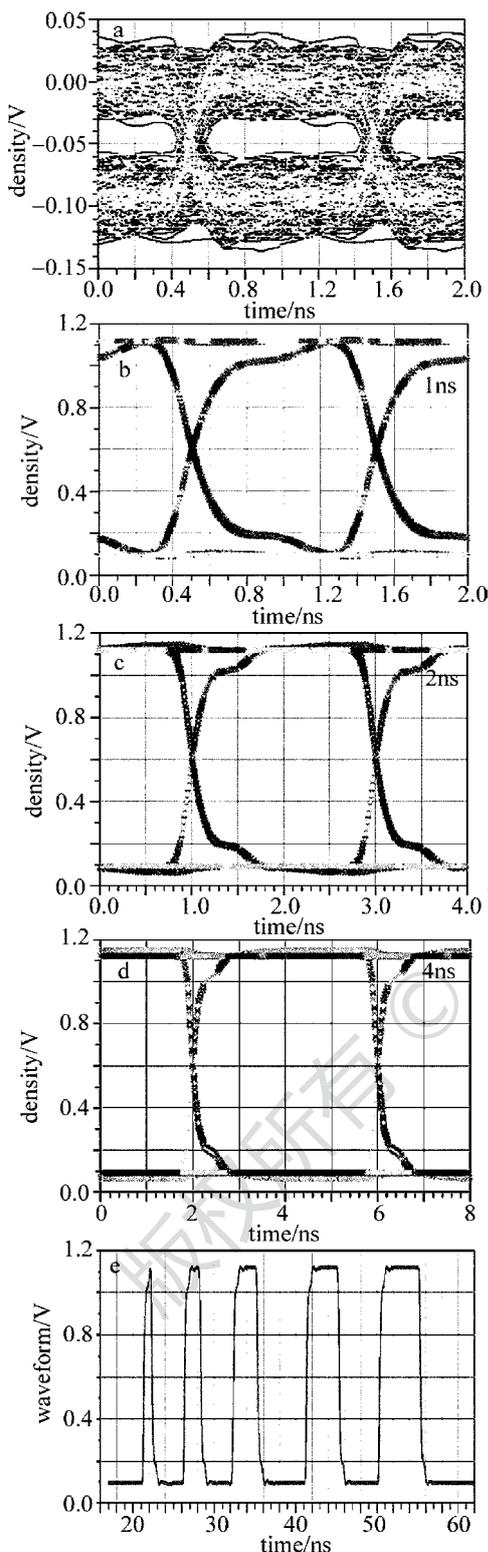


Fig. 6 The simulation waveforms of eye diagrams and the time domain results. From which it can be seen, the output eye diagram is very poor, the signal amplitude is very small, and the energy does not reach the output end, but is dissipated. Fig. 6b, Fig. 6c and Fig. 6d are respectively the eye diagram simulation waveforms of the pulse width of 1ns, 2ns, 4ns after the redesign. Compared with Fig. 6a, after the redesign, the eye diagram of the high-speed channel is open,

线条变得十分清晰,高速通道的误比特率降得很低,电压幅度接近 FPGA 高速收发器发出的原始电压值。这说明,经过重新设计,高速发送器通道基本上能够正确传输高速脉冲信号了。图 6e 为高速发送器通道的时域仿真波形。在图 6e 中,从左至右的脉冲宽度依次为 1ns, 2ns, 3ns, 4ns 和 5ns。从中可以看出,随着脉冲宽度的不断增加,脉冲变得越来越平稳。脉冲宽度为 1ns 最不平稳,为 5ns 时最平稳。

3 电路板实物及测试结果

测试设备选用 Tektronix 示波器 DPO7524。输

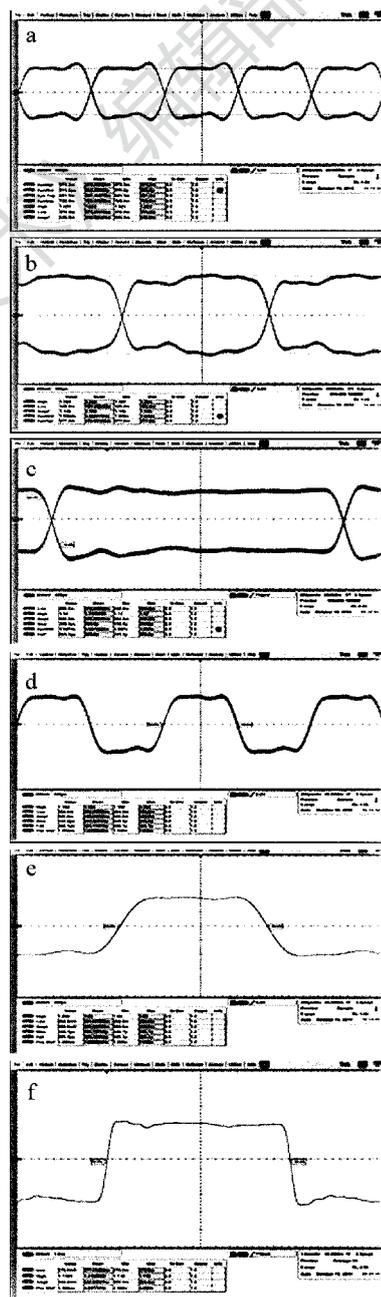


Fig. 7 Eye diagram and pulse waveform output by the oscilloscope

出的眼图以及信号波形结果见图 7。电路板实物见图 8。



Fig. 8 Circuit board

图 7a、图 7b、图 7c 是脉冲源输出脉冲宽度分别为 1ns, 2ns, 4ns 时的眼图, 这 3 张眼图均为波形叠加数为 100000 时的眼图结果。与图 6 中的通道仿真结果相比, 实测的眼图结果更好, 波形更规整, 但是输出眼图的幅度没有仿真结果的大。实测眼图十分清晰, 说明此 FPGA 电路板的高速发送器通道的误比特率极低。图 7d 是占空比为 1:1、脉冲宽度为 1ns 时的输出波形。从图中可知, 脉冲的上升沿和下降沿在 300ps 以下, 脉冲高电平接近 1.2V, 脉冲低电平接近 0V, 说明重新设计后的电路生成的高速脉冲波形较为理想。图 7e 和图 7f 是重复频率为 1kHz、脉冲宽度分别为 1ns 和 5ns 的时域波形(限于篇幅, 2ns, 3ns 和 4ns 的实测波形未给出)。从中可以看出, 当将重复频率降到极低时, 所需的单脉冲码字并没有丢失, 而且输出波形十分理想。

4 结 论

给出了为分布型光纤布里渊测量系统提供稳定的、占空比可调的高速脉冲源的设计方法, 在对系统部分模块进行仿真分析基础上, 制作了实验室条件下的实际板路, 验证了设计方案的可行性。

通过将高速通道的眼图及时域波形的实际测量结果与仿真结果相对比, 可以看出, 此二者基本吻合, 仿真设计对高速电路板的设计起到了指导性作用。实测眼图输出结果稳定、误比特率低, 这也间接证明了数据总线串扰仿真得到的仿真结论的正确性。经带宽为 2.5GHz 示波器 DPO7524 的实际测

试, 脉冲输出幅度接近 1.0V, 脉冲的上升沿不大于 250ps, 下降沿不大于 230ps, 输出脉冲平坦, 过冲不大, 只要改变 FPGA 编程预置值, 即可实现脉冲宽度在 1ns 以上离散可调、重复频率在 1kHz 以上离散可调。此系统完成了预定的设计目标。

参 考 文 献

- [1] CHEN R, ZHAI G, JIN F, *et al.* Study on pulsed electro-optic Q-switched Nd:YAG laser at 1319nm [J]. *Laser Technology*, 2010, 34(5): 603-606(in Chinese).
- [2] MAO J B, WANG X, TANG D, *et al.* A compact, low jitter, nanosecond rise time, high voltage pulse generator with variable amplitude[J]. *Review of Scientific Instruments*, 2012, 83(7): 075112.
- [3] CHENG Y, ZHOU Y Ch, CHENG Ch H. Design of a ultra wide-band pulse generator[J]. *Journal of China Institute of Communications*, 2005, 26(10): 112-115(in Chinese).
- [4] HU H, YU J L, ZHANG L T, *et al.* 10GHz short optical pulses source with ultra-low jitter [J]. *Chinese Journal of Lasers*, 2007, 34(9): 1241-1244(in Chinese).
- [5] LIU L H, ZHOU B, FANG G Y. Design of picosecond pulser in ultra-wideband radar system [J]. *Journal of Microwaves*, 2010, 26(1): 46-49(in Chinese).
- [6] JULIA A, FLORIN J, ANDREEA A, *et al.* Femtosecond laser ablation of TiO₂ films for two-dimensional photonic crystals[J]. *Optics & Laser Technology*, 2013, 52: 65-69.
- [7] MOROHASHI I, SAKAMOTO T, SOTOBAYASHI H, *et al.* Broadband wavelength tunable ultrashort pulse source using a Mach-Zehnder modulator and dispersion-flattened dispersion-decreasing fiber[J]. *Optics Letters*, 2009, 34(15): 2297-2299.
- [8] WANG J Y, SU Y. Practice of high speed circuit design [M]. Beijing: Publishing House of Electronics Industry, 2010:127-137 (in Chinese).
- [9] ONG Ch J, WU B P, TSANG L, *et al.* Full-wave solver for microstrip trace and through-hole via in layered media[J]. *Advanced Packaging*, 2008, 31(2): 292-302.
- [10] COCCHINI M, CHENG Wh L, ZHANG J M, *et al.* Differential vias transition modeling in a multilayer printed circuit board [C]//*Electro-magnetic Compatibility*. New York, USA: IEEE, 2008: 1-7.
- [11] ZAW Z O, LIU E X, LI E P. New circuit model for modeling differential pair of through-hole vias in multilayered electronic packages [C]//*Electronics Packaging Technology Conference (EPTC)*. New York, USA: IEEE, 2011: 163-166.