

文章编号: 1001-3806(2013)06-0786-05

基于 FPGA 的小波去噪的硬件实现

王香云

(山西大学 工程学院, 太原 030013)

摘要: 为了解决传统频域去噪法在光信号处理中单分辨率的局限性,提出了具有多分辨率的小波去噪法,并通过对比验证其有效性。由于小波去噪实现对硬件的要求较高,采用现场可编程门阵列做硬件平台来实现基于分布式算法的小波运算,将复杂的乘法运算转化为简单的并行查表累加过程,提高了运算效率,完成了小波算法的硬件移植。最后设计了基于现场可编程门阵列的采集系统,并在其上进行了小波去噪的硬件验证。结果表明,小波去噪算法在现场可编程门阵列平台上得到了很好的实现,且去噪效果良好。

关键词: 光信号处理;小波去噪;分布式算法;查表法;现场可编程门阵列

中图分类号: TN713 **文献标识码:** A **doi:**10.7510/jgjs.issn.1001-3806.2013.06.018

Implementation of wavelet denoising algorithm based on FPGA

WANG Xiang-yun

(Engineering College, Shanxi University, Taiyuan 030013, China)

Abstract: In order to solve the limitation of single resolution in optical signal processing with traditional frequency domain denoising method, a multi-resolution wavelet denoising method was put forward. The effectiveness of wavelet denoising method was verified through contrast. According to the high requirements of hardware platform in wavelet denoising method, a field-programmable gate array (FPGA) was put forward as hardware platform. The wavelet denoising method based on distributed algorithm transforms complicated multiplication to simple parallel look-up table accumulation process. It improved the computational efficiency and completed the hardware transplantation. A storage testing system based on FPGA was designed and the hardware verification was realized. Experimental results showed that the denoising effect was well realized on FPGA.

Key words: optical signal processing; wavelet denoising; distributed algorithm; look-up table method; FPGA

引言

噪声在现实信号中是无处不在的,同样也存在于光信号之中,而染噪信号对于后期的信号检测与处理有很大的影响,因此,如何有效地对信号去噪是一个很重要的问题。

然而,经典的信号去噪方法,如有限脉冲响应(finite impulse response, FIR)滤波器,无限脉冲响应(infinite impulse response, IIR)数字滤波器是以滤波器的形式进行去噪的,它主要是基于频域的处理方法。这种去噪方法是对采集回的信号进行谱分析,从频域将有用信号和噪声信号进行分离的。但这种

方法只适用于有用信号和噪声信号的频谱没有重叠的信号,而实际由传感器采集回的信号往往是有用部分与噪声部分的频谱相互重叠的,此时经典方法就显得无能为力。基于小波变换的非线性滤波方法可以有效地解决以上问题。它是在小波变换域内,通过对信号进行小波的多层分解对小波系数进行削切、阈值处理等非线性处理,从而达到滤除噪声的目的。这种去噪方法可以在一定程度上避免经典去噪方法造成的信号高频部分信息的丢失,因此得到很广泛的应用^[1-5]。

然而由于小波的运算量非常大,制约了其硬件实现。现场可编程门阵列(field-programmable gate array, FPGA)的高集成度及丰富的硬件资源为小波算法的硬件实现提供了一个很好的平台,不同于数字信号处理(digital signal processing, DSP)的顺序执行指令、串行运算, FPGA 采用全并行处理结构,能够实现流水线式的数据处理,能够更高效地实现小

作者简介:王香云(1979-),女,讲师,主要从事计算机仿真、嵌入式方面的研究。

E-mail: wangxiangyun12@163.com

收稿日期:2013-01-04;收到修改稿日期:2013-02-28

波去噪过程。同时将分布式算法的思想转换成只读内存(read-only memory, ROM)查找表操作,将算法内最复杂的乘法运算转化为查找表后的数据累加运算,大大提高了运算速率。

1 小波阈值去噪算法

在信号的一段时间内,小波分解得到的小波系数有一个最大值,并且随着分解尺度的递增而逐渐变大,最后到达一个峰值。然而由于噪声具有负的奇异性,其特性正好与有用信号相反,小波系数最大值将随着分解尺度的递增而逐渐变小,并均匀地分布在各层内。利用这一特点,可以通过小波变换实现时域与频域上的信噪分离,再通过相应的阈值处理,最后实现小波去噪的过程。同时,其可以根据不同的层数采取不同的阈值,更加灵活有效地实现信号去噪^[6-8]。

1.1 小波分解与重构理论

MALLAT 在构造正交小波基的时候提出了著名的 Mallat 算法, Mallat 算法是实现多分辨率分析的快速算法,在小波分析中的地位相当于快速傅里叶变换在经典傅里叶变换中的地位, Mallat 分解算法公式为^[9]:

$$\begin{cases} C_{j+1,k} = \sum_m h(m-2k)C_{j,m} \\ D_{j+1,k} = \sum_m g(m-2k)D_{j,m} \end{cases} \quad (1)$$

式中, h, g 分别是尺度系数和小波系数, $C_{j+1,k}, D_{j+1,k}$ 分别是第 $j+1$ 层的平滑系数和细节系数。由于滤波器长度有限,为方便计算,可将上式转换成语言容易实现表达式:

$$\begin{cases} C_{j+1}[k] = \sum_n h(n)C_j[n+2k] \\ D_{j+1}[k] = \sum_n g(n)D_j[n+2k] \end{cases} \quad (2)$$

Mallat 重构算法公式为:

$$C_{j-1,k} = \sum_n [h_{k-2n}C_{j,n} + g_{k-2n}D_{j,n}] \quad (3)$$

转换成容易实现的表达式为:

$$C_{j-1}[k] = \sum_n \{h[n]C_j[n+2k] + g[n]D_j[n+2k]\} \quad (4)$$

1.2 小波阈值去噪理论

信号的去噪过程可分为以下 3 个步骤进行^[8-10]。

(1) 信号的小波分解。以一个最佳的小波基,对染噪信号进行小波分解,分解出 N 层的高频系数与低频系数。

(2) 小波高频系数的阈值处理。对第 1 层到第 N 层的每一层高频系数,按各自的阈值对其进行阈值处理,去除其内的噪声。

(3) 小波的重构。将低频系数与处理后的高频系数进行层层重构,最后合成去噪的信号,完成小波去噪的过程。

小波阈值去噪算法中,对小波系数的非线性处理是通过阈值函数来实现的。不同的阈值函数反映了对小波系数不同的处理策略,对去噪效果有重要的影响。目前,比较常用的阈值函数主要有硬阈值函数、软阈值函数和半软阈值函数。

通过实验比较,采用软阈值函数对小波系数进行处理,其具体表达式为:

$$y = \begin{cases} \text{sgn}(x)(|x|-t), & (|x| > t) \\ 0, & (|x| \leq t) \end{cases} \quad (5)$$

式中, y 代表了经过阈值处理后的小波系数, t 代表软阈值函数的阈值。

阈值函数确定之后,关键是如何确定一个合理的阈值。阈值根据信号的不同有多种选取方法,在此所使用的是通用阈值方法。

1.3 小波去噪对比验证

为了验证小波去噪的有效性,在 MATLAB 上进行实验验证。

首先通过 MATLAB 产生一个含有高斯白噪声的随机信号,如图 1a 所示。其频率是变化的,主要集中在 0Hz ~ 50Hz。因此,设计一个宽度为 50Hz 的低通滤波器对其进行滤波,结果如图 1b 所示。同时使用采用 sym3 小波基对含噪信号进行小波去噪,结果如图 1c 所示。对两者的去噪进行对比,实验结果如图 1 所示,其中横坐标为点数,纵坐标为信号的幅值大小。

通过对比去噪结果可以看出,传统的低频信号在滤掉高频噪声的同时,也把信号前段的部分高频信号滤去了,使得信号丢失部分特性,而基于 sym3 的小波去噪在去噪的同时,尽可能地保留了信号的原始信息,去噪信号的光滑性与相似性都比低通滤波器去噪后信号高很多,在非平稳信号的去噪上有很大的优势。

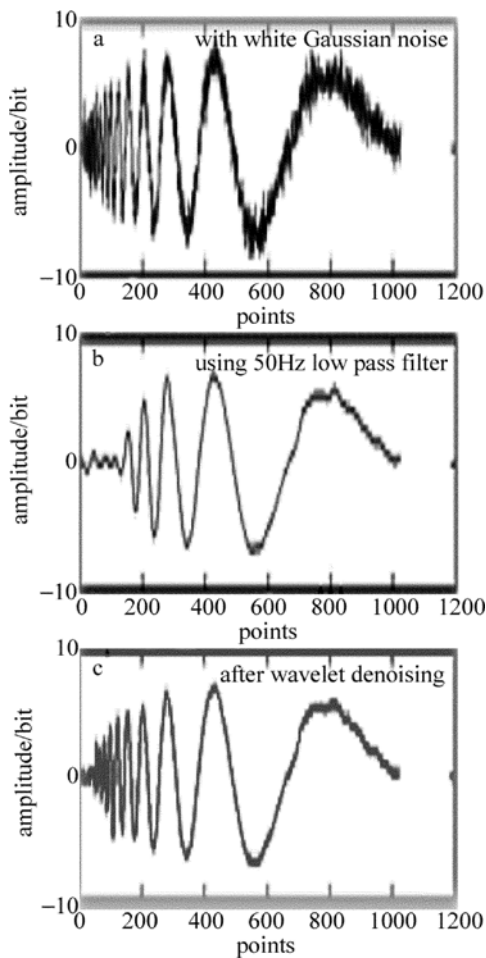


Fig. 1 Comparison of wavelet denoising signal

2 小波去噪的硬件实现

2.1 系统的硬件设计

作者设计了如图 2 所示的基于 FPGA 的高速采集存储系统。在该设计中,使用 XILINX 公司的 spartan3E 的 XC3S500E FPGA 作为系统核心控制处理单元,使用 AD 公司的 AD7482 作为系统 AD 转换器,使用美国美光的 MT48LC8M16A2 作为同步动态随机存储器 (synchronous dynamic random access memory, SDRAM) 进行存储,使用 FTDI 公司的 FT245R 芯片来作为通用串行总线 (universal serial bus, USB) 转化芯片对采集数据进行传输。

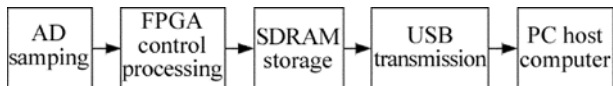


Fig. 2 The system chart

各个芯片的主要技术指标如下:系统时钟为 20MHz,最大可倍频为 300MHz;AD 为 12 位分辨率,量程为 0V ~ 2.5V;采样频率在 2MHz 之内可调;SDRAM 存储容量为 128Mbit;USB 传输速率为

1Mbit/s。

系统如图 2 所示,信号经过 AD 采样转化成数字信号,通过 IO 口将数据传到 FPGA 内部,FPGA 内部启动小波处理模块,将采集的数据进行小波去噪,并控制 SDRAM 将处理后的数据存储,最后通过 USB 接口将采集处理的数据上传的上位机,完成整个采集处理过程。同时在采集之前,可以通过 USB 根据采集要求来对系统进行参量设置,增大了系统的便利性和实用性。

2.2 系统的软件设计

2.2.1 小波去噪的算法设计 分布式算法 (distributed algorithm, DA) 是一项重要的 FPGA 技术。该算法在完成乘加功能时,是通过将各输入数据每一对应位产生的部分积预先进行相加形成相应的部分积,然后再对各部分积进行累加形成最终结果。随着 FPGA 技术的的发展,分布式算法也被广泛地应用于计算机的乘法运算中,尤其是在滤波器结构中得到了很好的应用^[11]。

假设一个内积运算如下:

$$y(n) = \sum_{n=0}^{N-1} h(n) \cdot x(n) = h(0)x(0) + h(1)x(1) + \dots + h(N-1)x(N-1) \quad (6)$$

式中,无符号型 $x(n)$ 可以表达为如下形式:

$$x(n) = \sum_{b=0}^{B-1} x_b \times 2^b, (x_b(n) \in [0,1]) \quad (7)$$

式中, b 设定为 $x(n)$ 的第 b 位数,上式将 $x(n)$ 按位展开, $y(n)$ 即可表示为:

$$y = \sum_{n=0}^{N-1} h(n) \left[\sum_{b=0}^{B-1} x_b(k) \cdot 2^b \right] \quad (8)$$

将其求和次序进行交换后为:

$$y = [h(0)x_0(0) + h(1)x_0(1) + \dots + h(N-1)x_0(N-1)]2^0 + [h(0)x_1(0) + h(1)x_1(1) + \dots + h(N-1)x_1(N-1)]2^1 + \dots + [h(0)x_{B-1}(0) + h(1)x_{B-1}(1) + \dots + h(N-1)x_{B-1}(N-1)]2^{B-1} \quad (9)$$

式中, $x_b(n)$ 为第 n 个数的第 b 位,取值只能为 0 或者 1。因此 $\sum_{n=0}^{N-1} h(n)x_b(n)$ 共有 2^N 种情况。在计算的时候,将 2^N 种情况提前计算好,并存入一个 ROM 中,以输入数据的相对应的位数值来作为其地址,只需要通过其 bit 位值来读取 ROM 数据,并通过移

位、累加即可得到最后的值,省去了乘法运算,并可以充分地利用 FPGA 并行处理特性,实现流水操作,大大提高了运算效率。这就是 DA 算法的基本思想^[12]。

小波算法的实现主要为小波的分解与重构。而不论是分解还是重构,都是通过滤波器结构来实现的。因此,只需构建好滤波器模型,即可很好地实现其过程。

以小波分解为例,由(2)式可知小波分解的滤波器结构为:

$$C_{j+1}[k] = \sum_n h(n)C_j[n + 2k] \quad (10)$$

按照 DA 算法的思想可转换为(9)式的形式,这样便可以得到以输入点数的 bit 位值为位地址的 ROM 表格,结果为表 1 所示。

Table 1 ROM table

$C_j(2k)$	$C_j(2k+1)$...	$C_j(2k+n)$	operation results
0	0	...	0	$h(0) \cdot 0 + h(1) \cdot 0 + \dots + h(n) \cdot 0 = 0$
0	0	...	1	$h(0) \cdot 0 + h(1) \cdot 0 + \dots + h(n) \cdot 1 = h(n)$
⋮	⋮	⋮	⋮	⋮
1	1	...	1	$h(0) + h(1) + \dots + h(n)$

如表 1 所示, N 个数相应第 b 位与系数相乘的结果直接通过地址查询即可得到,不需做任何计算。然后通过累加移位得到最后的数据。在设计过程中,若滤波器阶数过高,则可分为多个 ROM 表,并行查询,提高运算速率。具体的结构图如图 3 所示。

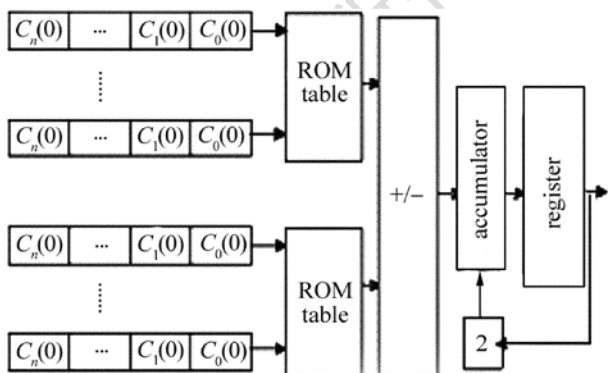


Fig. 3 The block diagram of DA

小波分解需要通过高频系数与低频系数,分解成下一层的高频信号与低频信号。因此,设定好高频系数和低频系数即可确定其相应的 DA 滤波器结构,将数据通过滤波器模型后即可得到分解后的信号,逐层分解,完成小波分解的过程。

而在分解后的高频信号上,通过阈值函数完成小波的阈值去噪后,再通过分解的逆过程,将分解后的信号通过其相应的 DA 结构模型重构后并相加得到分解前的信号,逐层重构得到原始信号,完成小波的去噪。

DA 算法实现的查表法虽然能将复杂的乘法运算转成为查表累加运算,但它需要将运算得到的所有可能结果提前算出并存入表中,这就大大地增加了资源的占有率。如 16 阶滤波器模型,需要 2^{16} 个存储单元。所需资源随着阶数增加而成指数递增,而小波去噪算法随着分解层数的变大,所需运算量也随之相应地增多,这就需要产生更多的 ROM 表来实现去噪过程,因此小波去噪算法的硬件实现,需要庞大的资源来支持。这就使得小波去噪对硬件平台有很高的要求。在此使用具有高集成度的 FPGA 作为小波去噪的实现平台,为其提供了庞大的逻辑资源。

2.2.2 小波去噪的 FPGA 实现 首先利用 MATLAB 工具箱中的 wfilters 滤波器系数计算函数得出滤波器系数 h 和 g 。放大后得到的低频分解系数为 $h(3327, 8069, 4599, -1350, -854, 352)$, 高频分解系数 $g(352, 854, -1350, -4599, 8069, -3327)$ 。重构系数则分别为 $H(-3327, 8069, -4599, -1350, 854, 352)$ 和 $G(352, -854, -1350, 4599, 8069, 3327)$ 。

根据试验得出采用 sym3 小波基得到的信号重构误差最小且去噪信号信噪比最大,因此,在本程序中使用 sym3 小波基来确定其对应的滤波器系数。由于数据长度有限,在此采用小波的 3 层分解,通过 wfilters 函数得到了小波分解与小波重构的高低频

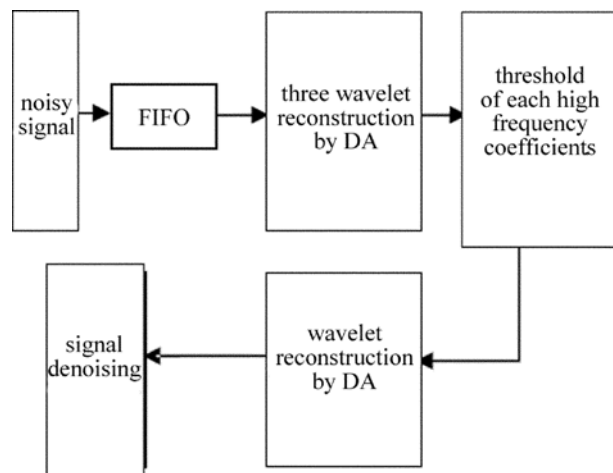


Fig. 4 The block diagram of wavelet denoise

滤波器系数组,并通过 MATLAB 生成其对应的 DA 查询 ROM 表,并生成 .mif 文件,通过 ISE 软件将其添加到 FPGA 内部 ROM 中。通过数据的位值来查询取数。

如图 4 所示,将含噪信号通过 AD 采集回来后,首先送入 FPGA 内部的先入先出队列 (first input first output, FIFO) 中做一个缓存处理,将采集的数据从 FIFO 中提取送入小波分解模型,分解得到各层的高频系数和低频系数,将其分别存到相应的 ROM 中,对高频系数通过阈值函数处理模块处理后,得到去噪后的分层系数,再通过小波重构模块,将小波分解的系数逐层重构,最后得到去噪后的信号,完成小波的去噪过程。

3 实验验证

使用信号发生器,产生一个含有噪声的方波信号,利用 FPGA 采集系统对其进行实时采集,将采集的信号不经过处理放入 SDRAM 中存储,并通过 USB 接口将数据上传到上位机上,通过软件将其显示,作为对比数据。采集数据如图 5a 所示。

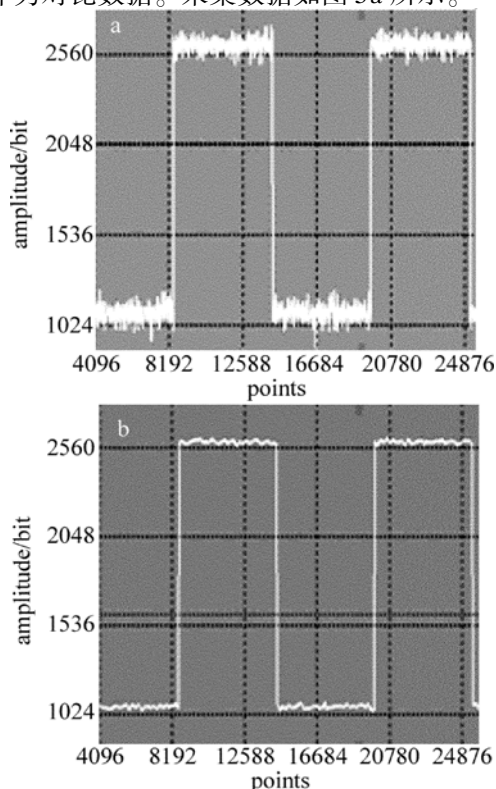


Fig. 5 a—the noisy signal b—the de-noising signal with wavelet

再将同样的数据从 SDRAM 中读到 FPGA 中,启动小波去噪模块程序,进行硬件去噪,完成小波分解、阈值处理、小波重构的过程,最后将合成的去噪信号存入 SDRAM 中,通过接口读回上位机上,并用

软件显示,数据如图 5b 所示。

通过对图 5a 和图 5b 数据比较可以看出,不经过小波去噪前的信号包含的高频噪声比较多,当经过小波硬件去噪后,读回的信号具有较好的光滑性与相似性,说明了系统的去噪效果良好。

4 小 结

在介绍了小波去噪的基本原理的基础上,提出了基于 DA 算法的实现方法,使用查表法来将乘法运算转化为查表移位累加运算,提高了运算效率。并通过对传统频域去噪方法进行对比验证,得出小波去噪可以很好地对非平稳信号进行去噪,有效地解决了传统频域滤波方法的局限性。最后,利用 FPGA 采集处理系统对含噪信号实现硬件小波去噪过程,证明小波具有较好的去噪效果。

参 考 文 献

- [1] CHEN Y D, TANG L, SHENG J X, *et al.* Fast signal reconstruction from modulus maxima of signal's wavelet transform [J]. Acta Electronica Sinica, 1998, 26(9): 82-85 (in Chinese).
- [2] XU Y S, WEAVER J B, HEALY D M, *et al.* Wavelet transform domain filters: a spatially selective noise filtration technique [J]. IEEE Transaction on Image Processing, 1994, 3(6): 747-758.
- [3] DONOHO D L, JOHNSTONE I M. Ideal spatial adaptation by wavelet shrinkage [J]. Biometrika, 1994, 81(3): 425-455.
- [4] DU H, CONG S. The study on wavelet de-noising under the environment of MATLAB [J]. Computer Simulation, 2003(7): 119-123 (in Chinese).
- [5] ZHANG X, ZHAG D H, LI X X, *et al.* Image denoising based on wavelet transform [J]. Chinese Journal of Scientific Instrument, 2006, 27(6): 2284-2286 (in Chinese).
- [6] MA L L, SUN Y Q, YAO A Q. Implementation of wavelet thresholding denoising algorithm based on digital signal processors [J]. Shanxi Electronic Technology, 2011(1): 47-48 (in Chinese).
- [7] ZHOU W R, DI H W, REN G J. Optimized image denoising algorithm based on wavelet transform [J]. Computer Engineering and Design, 2005, 24(12): 3244-3246 (in Chinese).
- [8] XIONG J. Image denoising based on wavelet transform [J]. Computer Science, 2007, 34(7): 232-234 (in Chinese).
- [9] LIN Y. Research on signal de-noising methods for movement of weapon automatic mechanisms [D]. Taiyuan: North University of China, 2009: 12-13 (in Chinese).
- [10] FEI P Y, GUO B L. A high-powered image denoising method based on wavelet transform [J]. Signal Processing, 2005, 21(6): 656-658 (in Chinese).
- [11] WEI L, YANG R J, CUI X T. Design of FIR filter based on distributed arithmetic and its FPGA implementation [J]. Chinese Journal of Scientific Instrument, 2008, 29(10): 2010-2014 (in Chinese).
- [12] KONG W G, ZHANG G J, ZHANG X J. Design of 1-D DCT IP core structure based on distributed arithmetic [J]. Microelectronics & Computer, 2008, 25(8): 143-147 (in Chinese).