

文章编号: 1001-3806(2013)06-0731-05

一种基于微环的新型 4×4 非阻塞光路由开关

张 滨^{1,2}, 宋少鸿^{1,2}, 王宏建³, 江晓清^{1,2}, 杨建义^{1,2*}

(1. 浙江大学 信息与电子工程学系, 杭州 310027; 2. 浙江大学 唐仲英传感材料及应用研究中心, 杭州 310027; 3. 浙江南方通信集团, 湖州 313009)

摘要: 光互连技术因诸多特性优于电互连而成为片上多核互连最具前景的解决方案。为了提高片上光互连网络架构的性能, 采取光器件模块搭建的方法, 提出了一种基于微环的新型 4×4 光路由开关, 仅用 7 个微环构建的拓扑结构便实现了 4 个双向端口的非阻塞交换, 降低了功耗和面积; 波导交叉的数量减少到 6 个, 优化了插入损耗。结果表明, 该结构相对于经典结构光器件的功耗节省了约 8%, 光互连层的插入损耗降低了约 7%。

关键词: 集成光学; 非阻塞光路由开关; 片上光互连; 微环谐振器**中图分类号:** TN256 **文献标识码:** A **doi:** 10.7510/jgjs.issn.1001-3806.2013.06.006

A novel micro-ring-based 4×4 non-blocking silicon optical router

ZHANG Bin^{1,2}, SONG Shao-hong^{1,2}, WANG Hong-jian³, JIANG Xiao-qing^{1,2}, YANG Jian-yi^{1,2}

(1. Department of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China; 2. Cyrus Tang Sensing Material & Applied Research Center, Zhejiang University, Hangzhou 310027, China; 3. Zhejiang Nanfang Communication Group, Huzhou 313009, China)

Abstract: Optical network-on-chip (ONoC) has many characteristics superior to electrical interconnection and has emerged as a promising alternative. To improve the performance of optical on-chip networks, a novel ring-based 4×4 nonblocking silicon optical router was proposed by means of optical module method. This structure just composes even microring-resonator-based switching elements and six waveguide crossings, which reduce power consumption, device area and insertion loss. Finally, the topology performance were evaluated in terms of insertion loss and power consumption. The simulation results demonstrate that the proposed architecture consumes 8% less power and 7% less optical insertion loss.

Key words: integrated optics; non-blocking router; optical network-on-chip; microring resonator

引 言

随着半导体工艺的发展、芯片集成度的逐渐提高, 单个片上处理器核的数量不断提升, 多核及众核成为未来的主要趋势。核间的互连成为制约整个互连网络架构性能的关键因素。片上电互连因其特定的物理性质, 性能与功耗的解决方案停滞不前, 已经逐渐不适应多核互连的要求。光互连作为一种新兴技术成为了解决片上众核互连挑战的一种非常有前景的方案。光具有最快的传播速度, 波分复用提供

了巨大的带宽, 本质上传播功耗与距离无关而具有低功耗的特性, 又能有效避免噪声的干扰。

光互连技术广泛应用于高性能计算机中的机柜间和节点间互连, 为高性能计算机系统提供低延迟、高带宽的互连性能^[1]。目前, 光互连技术正朝着更短传输距离、更高带宽密度和集成度的方向发展。已提出的几个运用光技术的网络有: firefly, clos 结构, HP 的 Corona 等^[2-4]。MIT Carbon 项目开发了一种全新的全连接 (all-to-all computing, ATAC) 片上光互连架构, 采用光互连技术实现总线式的全局光网络^[5]; 哥伦比亚大学研究开发了光互连仿真平台, 构建了新型的高性能片上光电互连网络^[6]。

近年来, 很多与互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺相兼容的光器件不断出现, 作为片上光互连架构的关键器件, 片上光路由器正受到越来越多的关注。

基金项目: 国家自然科学基金资助项目 (61228501); 教育部博士点基金资助项目 (20120101110054)

作者简介: 张 滨 (1987-), 男, 硕士研究生, 现主要从事光互连的基础研究。

* 通讯联系人。E-mail: yangjy@zju.edu.cn

收稿日期: 2013-02-28; 收到修改稿日期: 2013-04-17

SHERWOOD-DROZ 等人提出了一个基于微环的非阻塞 4×4 光路由^[7]。YANG 等人提出一种非阻塞的基于马赫-曾德尔光开关结构,具有大带宽和低串扰的优点^[8]。JI 等人提出了一种由 8 个微环、4 个波导、6 个交叉组成的四端口光路由器,降低了串扰和插入损耗^[9]。GU 等人提出了名为 cygnus 的低功耗低插入损耗的 5×5 非阻塞光路由器^[10]。

本文中提出了一种基于微环面向片上光互连的新型 4×4 非阻塞光路由开关。功耗、插入损耗、串扰和器件尺寸是评估光开关优劣的重要参量。因此,光路由设计应尽量减少波导、微环和交叉的数量以提高性能。减少交叉数量能有效降低插入损耗和串扰,因为交叉引入了较大的插损;减少微环的数量可以有效减小光路由的功耗和面积。本设计仅用 7 个微环谐振器实现了 4×4 的非阻塞路由,相对于以往的结构减少了一个微环,用其组建大规模网络,能

有效减小微环数量,降低成本。同时,交叉也减少到了 6 个,有效地降低了插入损耗和串扰,使得网络的可扩展性增强。

1 4×4 非阻塞硅基光路由器的设计

图 1 展示了作者设计的新型 4×4 非阻塞光路由器的拓扑结构(simplified non-blocking optical router, SNOR)。它由 4 条光波导、6 个交叉微环谐振器和 1 个平行微环谐振器组成。本文中对微环谐振器开和关的状态这样定义,当微环状态处于“关”时,微环没有发生谐振,光信号由“through”端通过;当微环处于“开”状态时,光信号通过微环谐振器耦合,转向“drop”端,如图 1a 中实线部分所示。图 1b 展示了 SNOR 在 PhoenixSim^[11] 软件下对应的结构图,其中 PSE (photonic switch element) 表示微环谐振器, bend 表示 90° 弯曲, waveguide 表示光波导。

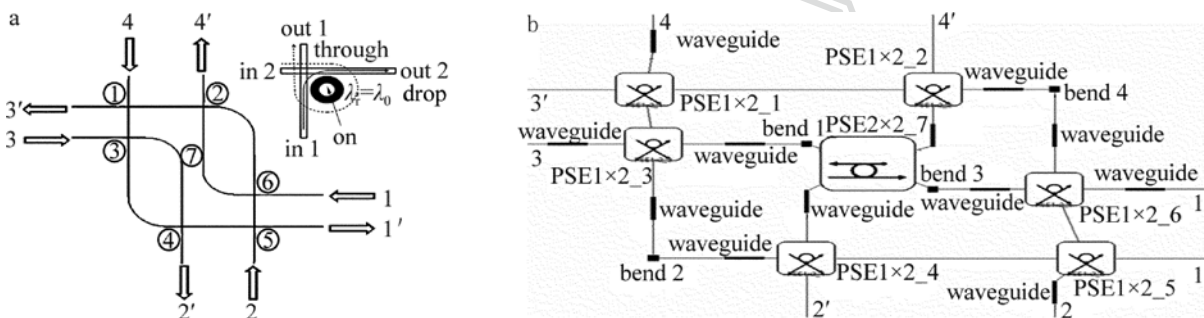


Fig. 1 a—schematic of SNOR b—topology of SNOR in PhoenixSim

表 1 中展示了该光路由器 14 种状态,每一条链路都是分别通过微环谐振状态来控制特定的光路由器的状态,每一状态的各条链路可以同时传输数据而不相互影响,因此该路由结构通过非阻塞的,但是光信号不可以同时由一个端口向其它两个端口发送信号或者同时由两个不同端口向一个端口发送光信号。表 1 显示并且每一种链路由不多于一个微环来决定,其中 R 表示谐振微环,因为 $1 \rightarrow 3'$ 和 $2 \rightarrow 4'$ 同时传输,或 $3 \rightarrow 1'$ 和 $4 \rightarrow 2'$ 同时传输这两种特殊状态要求,状态 5,6,7 是由状态 4 衍生出来的,状态 9 是由状态 8 衍生出来的,状态 14 由状态 13 衍生出来。需要特别说明的是:当微环 6 谐振时,微环 2 应处于“关”的状态;微环 3 处于谐振状态时,微环 4 应处于“关”的状态。这种单状态的拓扑结构的优点是可以避免对微环谐振器的精确控制要求;另一方面,单状态控制的光路由器可以很大程度上简化仲裁机制等。本设计通过微环 7 同时控制两条光链路,将微环数量由以往的 8 个减少到 7 个,而并没有使链

Table 1 Fourteen state organization of SNOR

state number	optical links				resonant micro-ring resonator/waveguide			
	4	2	1	3				
1	3'	4'	2'	1'	R ₁	R ₂	R ₇	R ₃
2	3'	1'	4'	2'	R ₁	R ₅		
3	3'	1'	2'	4'	R ₁	R ₅	R ₇	R ₇
4	2'	4'	3'	1'	R ₃	R ₆	R ₆	R ₃
5	2'	4'	3'		R ₄	R ₆	R ₆	
6	2'	4'		1'	R ₃	R ₂		R ₃
7	2'	4'			R ₄	R ₂		
8	2'	3'	4'	1'	R ₃			R ₃
9	2'	3'	4'		R ₄			
10	2'	1'	3'	4'	R ₄	R ₅	R ₆	R ₇
11	1'	3'	2'	4'			R ₇	R ₇
12	1'	3'	4'	2'				
13	1'	4'	3'	2'		R ₆	R ₆	
14	1'	4'		2'		R ₂		

路阻塞。另外,该路由结构第 1 个至第 7 个微环谐振器的工作波长一致。

表 1 右边对应左边各状态需谐振的微环。空白表示通过光波导传输,而不需微环的谐振。

波导交叉不仅额外增加了光传输的损耗,而且串扰也会相应增大。因此,减少波导交叉的数量非常有利于大规模片上光网络架构的搭建。本设计中仅引入了 6 个交叉微环谐振器的波导交叉。同时,输入输出相邻使得光互连网络中光路由器与临近的光路由器的连接变得更加容易,更适用于 mesh 和 torus 网络。

该光路由结构需由特定的控制单元来配置其路由状态,通过仲裁器使用电信号来控制微环谐振器的“开”和“关”,这些控制信号可以由数据包携带,也可以由特定的电控制包携带。所以,该光路由器通过电控制层来控制光链路。

2 仿真及讨论

作者采用 PhoenixSim^[11] 仿真平台搭建光互连网络架构,PhoenixSim 是基于 OMNET++^[12] 为片上光电网络仿真而专门开发的。作者在 SNOR 的基础上建立了 8 × 8 2-D mesh 片上光互连网络,如图 2 所示。该互连网络架构由光传输层、电控制层和处理层组成,所有的光接口都是双向的,设置数据包的大小为 8kbit,仿真时间是 50ms。光互连层由基于微环的光开关、波导、90°弯曲、波导交叉、探测器和调制器等部件组成。该光互连网络将控制信号与负载包分开,控制包一般较小,用于携带网络控制信息;负载包可以是大的数据包,也可以携带处理器指令。该片上光网络的负载包由光互连层传输,控制包由电互连层传输^[13]。

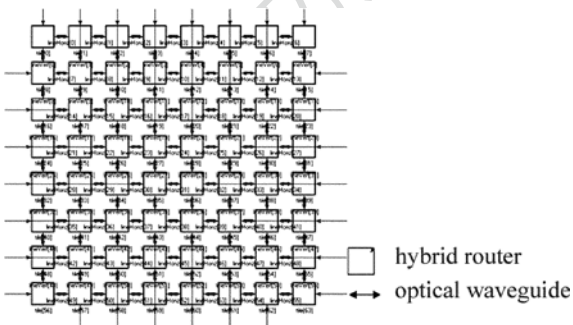


Fig. 2 8 × 8 2-D mesh optical network-on-chip based on SNOR in PhoenixSim

由于光数据包无法进行缓存,光包在传输前都要先发送电控制包预约光传输链路,这些电信号用来控制微环谐振器的谐振状态,进而控制光路由开关的状态,达到仲裁的目的。当目的节点收到控制

包时,沿光通道返回一个光脉冲作为应答信号。此时,大数据量的包以光信号的形式在光网络中进行传输。当光数据传输完毕时,目的节点收到源节点发来的链路拆除信号,该消息沿着原建立路径的电控制报文在电网络中的路径进行传输,释放各个路由,最终达到源节点^[14]。

已有的两种经典 4 × 4 非阻塞光开关如图 3 所示^[15],其中,经典(original)开关第 1 次出现在参考文献[7]中,规范(regular)开关是为了左右方向和上下方向直通而设计的。将 SNOR 与这两种非阻塞光开关加入到光互连网络中仿真测试,并对比分析了各自的性能。

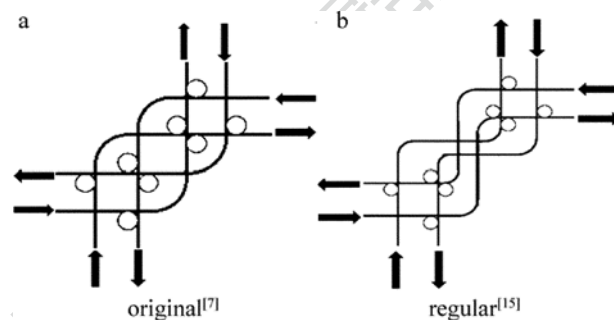


Fig. 3 Two proposed 4 × 4 non-blocking silicon optical router

2.1 插入损耗

光路由器的插入损耗决定了光互连网络的可扩展性和光调制器、探测器所需的灵敏度。插入损耗主要由波导交叉和谐振的微环引起。表 2 中是引起光路由器损耗的主要参量。

Table 2 Optical device loss parameters^[16-18]

type	insertion loss parameter/dB
waveguide crossing loss ^[16]	0.15
bending loss ^[17]	0.005
passing by ring (off) ^[18]	0.005
insertion into ring (on) ^[18]	0.5

作者从两个角度分析该结构的插入损耗。第 1 种思路将该结构作为一个独立的部件,根据表 2 中的参量,计算了经过 SNOR 结构各条链路的插入损耗,如表 3 所示,其中最低损耗为 0.32dB,平均损耗为 0.6584dB,最高损耗为 1.12dB,而这个最高损耗仅在 1→3'和 2→4'同时传输,或 3→1'和 4→2'同时传输的状态下才会达到。经典开关在相同参量下的最低损耗为 0.65dB,最高损耗为 1.115dB,平均损耗为 0.847dB;而规范开关最低损耗为 0.65dB,最高损耗为 1.27dB,平均损耗为 0.95dB。该数据表明 SNOR 在插入损耗的优化方面有一定的优势。

Table 3 Insertion loss of SNOR

state number	optical links					insertion loss/dB			
	4	2	1	3					
1	3'	4'	2'	1'	0.5	0.815	0.815	0.815	average = 0.6584
2	3'	1'	4'	2'	0.5	0.5	0.32	0.32	min = 0.32
3	3'	1'	2'	4'	0.5	0.815	0.815	0.815	max = 1.12
4	2'	4'	3'	1'	1.12	1.12	0.815	0.815	
5	2'	4'	3'		0.815	1.12	0.815		
6	2'	4'		1'	1.12	0.815		0.815	
7	2'	4'			0.815	0.815			
8	2'	3'	4'	1'	1.12	0.625	0.32	0.815	
9	2'	3'	4'		0.815	0.625	0.32		
10	2'	1'	3'	4'	0.815	0.5	0.815	0.815	
11	1'	3'	2'	4'	0.625	0.625	0.815	0.815	
12	1'	3'	4'	2'	0.625	0.625	0.32	0.32	
13	1'	4'	3'	2'	0.625	1.12	0.815	0.32	
14	1'	4'		2'	0.625	0.815		0.32	

第 2 种思路将光路由器作为整个光互连网络的一部分,分析其对整个网络性能的影响。作者仿真了该路由器在一个 8×8 光 mesh 片上网络的插入损耗和功耗,并采用邻接 (neighbor) 和热点 (hot-spot)^[19] 两个基准测试程序测试该系统性能。其中,邻接基准测试程序把跳数限制在每次只能和邻近的核通信,而热点基准测试程序表示所有节点向一个随机选取的节点发送数据。不同的链路可引起的插损并不一致,也比较了不同情况下 3 个路由器的最好损耗、最差损耗和平均损耗。虽然仿真的是整个光互连层的插入损耗,SNOR 还是表现出了最小的平均插入损耗。仿真结果表明,最小插入损耗和最大插入损耗与经典结构和规范结构相当,平均损耗相对于经典结构和规范结构都有约 7% 的减少,如图 4 所示。同时,作者也仿真了典型的 4×4 , 6×6 光 mesh 网络的平均损耗,结果如图 5 所示,SNOR 的平均插入损耗都是最小的。

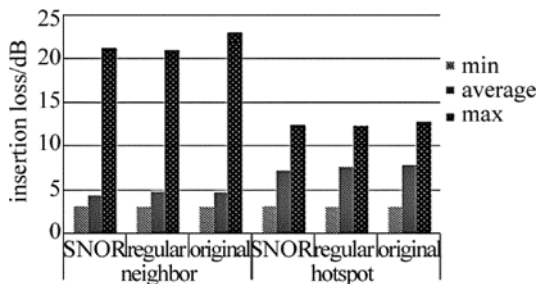


Fig. 4 Simulated insertion loss of three optical routers under benchmark neighbor and hotspot

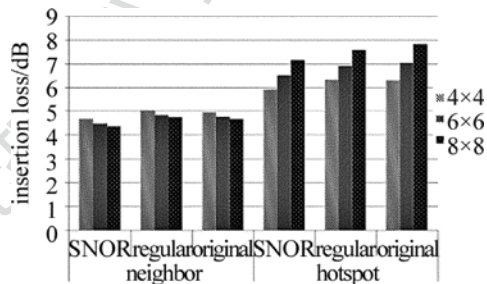


Fig. 5 Insertion loss of 4×4 , 6×6 , 8×8 topology under benchmark neighbor and hotspot

2.2 功耗

功耗是片上光路由器的关键参量,对于高性能计算机,随着计算频率的不断提升,怎么降低功耗和散热一直是一个值得关注的问题。为了分析光路由器部分所消耗的功耗,假设对不同光路由器电控制网络及仲裁机制消耗的功耗相同。为了测试光开关功耗等性能,也主要选取了邻接和热点两个基准测试

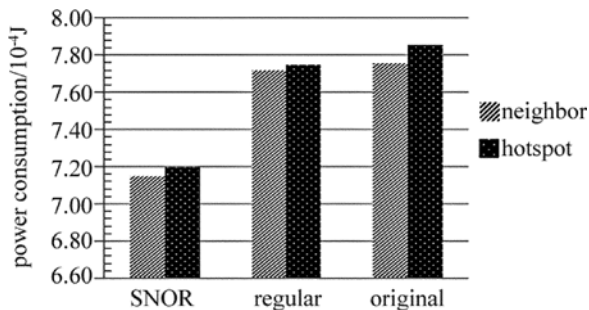


Fig. 6 Simulated power consumption of three optical routers under benchmark neighbor and hotspot

程序。仿真结果如图 6 所示,1→3'和 2→4'同时传输或 3→1'和 4→2'同时传输提高了微环 3 和微环 6 的利用效率,SNOR 相对于经典和规范在其它条件相同的情况下节省了功耗。因为 3 种结构下光调制器、光探测器和激光器等功耗被视为一致的而没有计入其内,只计入了光网络层主要光器件如微环谐振器等功耗。

3 结 论

设计并分析了一种基于微环谐振器的新型 4 × 4 非阻塞低插损光路由器,优化精简了拓扑结构,将微环数量由 8 个减少到了 7 个,从而降低了光路由器的面积和功耗。同时,交叉数量仅为 6 个,有效地降低了光路由器的插入损耗,平均插入损耗和最小插入损耗分别是 0.6584dB 和 0.32dB,在相同光功率预算的情况下能支持更大的网络节点,提高了系统的性能。仿真结果表明,该结构相对于经典结构光器件所消耗的功耗节省了约 8%,光互连层的插入损耗降低了约 7%。

参 考 文 献

- [1] HUANG P, LUO F G, CAO M C, *et al.* Design of PCs cluster system of broadband optical bus interconnection network [J]. *Laser Technology*, 2003, 27(3): 264-267 (in Chinese).
- [2] JOSHI A, CHRISTOPHER B, KWON Y J. Silicon-photonics networks for global on-chip communication [C]//Proceedings of the 2009 3rd ACM/IEEE International Symposium on Networks-on-Chip. San Diego, CA, USA: IEEE Computer Society, 2009: 124-133.
- [3] PAN Y, KUMAR P, KIM J. Firefly: illuminating future network-on-chip with nanophotonics [J]. *ACM Sigarch Computer Architecture News*, 2009, 37(3): 429-440.
- [4] VANTREASE D, SCHREIBER R, MONCHIERO M, *et al.* Corona: system implications of emerging nanophotonic technology [J]. *Proceedings of IEEE*, 2008, 36(3): 153-164.
- [5] PSOTA J, MILLER J, KURIAN G, *et al.* ATAC: improving performance and programmability with on-chip optical networks [C]//Proceedings of 2010 IEEE International Symposium. Paris, France: Circuits and Systems (ISCAS), 2010: 3325-3328.
- [6] CHAN J, HENDRY G, BERGMAN K, *et al.* Physical-layer modeling and system-level design of chip-scale photonic interconnection networks [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2011, 30(10): 1507-1520.
- [7] SHERWOOD-DROZ N, WANG H, CHEN L, *et al.* Optical 4 × 4 hitless silicon router for optical networks-on-chip (NoC) [J]. *Optics Express*, 2008, 16(20): 15915-15922.
- [8] YANG M, GREEN W M J, ASSEFA S, *et al.* Non-blocking 4 × 4 electro-optic silicon switch for on-chip photonic networks [J]. *Optics Express*, 2011, 19(1): 47-54.
- [9] JI R Q, YANG L, ZHANG L, *et al.* Microring-resonator-based four-port optical router for photonic networks-on-chip [J]. *Optics Express*, 2011, 19(20): 18945-18955.
- [10] GU H X, MO K H, XU J. A low-power low-cost optical router for optical networks-on-chip in multiprocessor systems-on-chip [C]//2009 IEEE Computer Society Annual Symposium. Tampa, FL, USA: Proceedings of VLSI, 2009: 19-24.
- [11] CHAN J, HENDRY G, BIBERMAN A, *et al.* PhoenixSim: A simulator for physical-layer analysis of chip-scale photonic interconnection networks [C]//Proceedings of the Conference on Design, Automation and Test. Dresden, Germany: DATE, 2010: 691-696.
- [12] VARGA A. OMNeT++ discrete event simulation system [DB/OL]. (2013-04-26) [2010-06-14]. <http://www.omnetpp.org>.
- [13] DALLYW J, TOWLES B. principles and practices of interconnection networks [M]. San Francisco, USA: Morgan Kaufmann Publishers, 2004: 89-100.
- [14] CHAN J, HENDRY G, BIBERMAN A, *et al.* Architectural design exploration of chip-scale photonic interconnection networks through physical-layer analysis [J]. *Optical Fiber Communication (OFC)*, 2010, 28(9): 1305-1315.
- [15] CHAN J, BIBERMAN A, LEEB G, *et al.* Insertion loss analysis in a photonic interconnection network for on-chip and off-chip communications [C]//Proceeding of Annual Meeting IEEE Lasers Electro-Optics Society (LEOS). Acapulco, Mexico: IEEE Lasers and Electro-Optics Society, 2008: 300-301.
- [16] TATSUHIKO F, TOMOHISA H, FUMIAKI O, *et al.* Low loss intersection of Si photonic wire waveguides [J]. *Japanese Journal of Applied Physics*, 2004, 43(2): 646-647.
- [17] XIA F, SEKARIC L, VLASOV Y. Ultracompact optical buffers on a silicon chip [J]. *Nature Photonics*, 2007, 1(1): 65-71.
- [18] LEEB G, ALEKSANDR B, DONG P, *et al.* All-optical comb switch for multiwave-length message routing in silicon photonic networks [J]. *IEEE Photonics Technology Letters*, 2008, 20(10): 767-769.
- [19] GILBERT H, SHOAB K, ALEKSANDR B, *et al.* Analysis of photonic networks for a chip multiprocessor using scientific applications [C]//Proceedings of the 2009 3rd ACM/IEEE International Symposium on Networks-on-Chip. San Diego, CA, USA: IEEE Computer Society, 2009: 104-113.