

文章编号: 1001-3806(2010)05-0682-04

一种基于 FPGA 水下激光成像系统的同步控制器

雷选华^{1,2}, 杨克成^{1*}

(1. 华中科技大学 光电子科学与工程学院 武汉国家光电实验室, 武汉 430074; 2. 海军工程大学 兵器工程系, 武汉 430033)

摘要: 为了实现水下激光距离选通成像系统中激光脉冲与像增强型 CCD 之间的高精度同步控制, 提高图像分辨率, 提出了一种基于现场可编程门阵列水下激光成像系统的同步控制器。控制器利用现场可编程门阵列的高集成度和灵活性, 用锁相环作为全局时钟, 用进位链作延时单元, 使门控脉冲的延时和门宽精度达亚纳秒级, 解决了常规控制电路由于分离元件所带来的延时精度低, 不稳定的问题。结果表明, 这种同步控制器可解决门控成像系统的精确定时问题, 能满足稳定、实时应用的要求。

关键词: 成像系统; 选通成像; 同步控制; 现场可编程门阵列

中图分类号: TN911.73 **文献标识码:** A **doi:** 10.3969/j.issn.1001-3806.2010.05.029

A synchronization controller based on FPGA for an underwater laser imaging system

LEI Xuan-hua^{1,2}, YANG Ke-cheng¹

(1. Wuhan National Laboratory For Optoelectronics, College of Optoelectronic Science and Engineering, Huazhong University of Science and Technology, Wuhan 430074, China; 2. Department of Weaponry Engineering, Naval University of Engineering, Wuhan 430033, China)

Abstract: A synchronization controller based on field programmable gate array (FPGA) for an underwater laser imaging system was proposed to realize the synchronization of the pulsed laser and the intensified CCD (ICCD) and improve the image resolution. The controller, taking the advantages of FPGA's high compact and flexibility, uses the phase-locking-loop for the global clock frequency and the carry chain for delay cell so that the precision of pulse delay and pulse width gets up to a nanosecond level. Problems with the precision and stabilization induced by discrete components in conventional control circuits were solved. Experimental results indicate that synchronization controller is a feasible solution for gated imaging system working under tight time and visibility requirements of stability and real-time applications.

Key words: imaging systems; range-gating imaging; synchronization control; field programmable gate array

引言

水下激光距离选通成像系统能抑制海水的后向散射^[1,4], 提高系统的成像质量。系统使用脉冲激光照射物体, 由目标反射的激光返回到接收器。仅当脉冲激光反射到达接受器时, 接收器的选通门才打开, 开门脉冲持续时间与激光脉冲一致, 这样就遮挡了来自水中的悬浮微粒的后向散射光, 形成的目标图像主要与开门时间内的反射光有关。如果选通门脉冲宽度和激光脉冲宽度都很窄, 使得只能探测到目标附近的反射光, 那么就能大大提高回波信号的信噪比。

同步控制是距离选通成像系统的核心技术之

一^[5-6], 主要是使激光器和接收器同步, 实现距离选通成像。其延时精度、抖动和稳定性决定了成像系统性能好坏。本文中提出用现场可编程门阵列 (field programmable gate array, FPGA) 来实现水下激光成像系统的同步控制器, 以满足水下激光成像系统精确定时需求。

1 选通成像系统同步控制设计与实现

图1为激光距离选通成像的原理框图。激光器向目标发射脉冲激光, 同时经光学系统分光后一小部分被 PIN 管接收, 经触发电路后作为同步时序控制器的启动脉冲。同步时序控制器从收到启动脉冲后延时输出门控脉冲到像增强型 CCD (intensified CCD, ICCD)。延时时间和门控宽度由距离预置 (可人工调节) 电路决定。延时时间根据成像的距离改变, 这样当激光脉冲到达 ICCD 时, 门控开启, 进行成像, 门控宽度确定

作者简介: 雷选华 (1968-), 男, 副教授, 博士研究生, 主要从事军用光电信号及图像处理方面的研究。

* 通讯联系人。E-mail: kcyang@hust.edu.cn

收稿日期: 2009-11-04; 收到修改稿日期: 2009-12-25

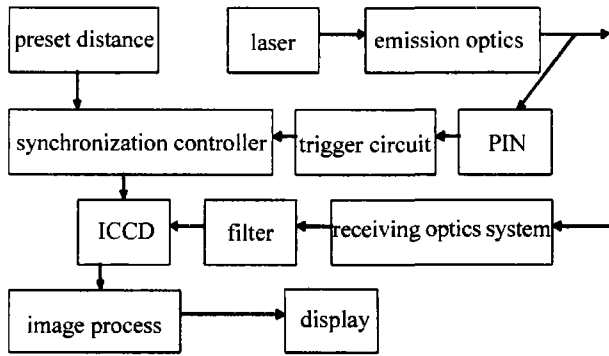


Fig. 1 Schematic diagram of a laser range-gating system

ICCD 开启时间,与激光的脉冲和 ICCD 的增益相匹配。ICCD 所输出的图像信号要经图像采集处理电路处理后再显示或存储。因此,激光选通成像系统必须是激光器、ICCD、选通时序控制器等元部件在计算机控制下统一协调工作。本文中就关键部件之一的同步时序控制器的设计和实现进行阐述。

1.1 选通时序控制器的设计

如图 2 所示,ICCD 选通开启时间 t_1 由观察的目

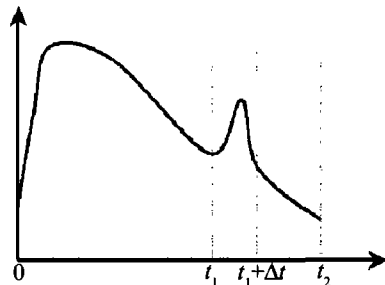


Fig. 2 Timing diagram of ICCD

标场景距离确定,选通宽度 Δt 应与激光器照明脉冲宽度基本一致。激光脉冲宽度只有纳秒量级,那么 ICCD 选通门的控制精度必须达到亚纳秒量级。

图 3 为控制器设计原理框图。利用现场可编程门

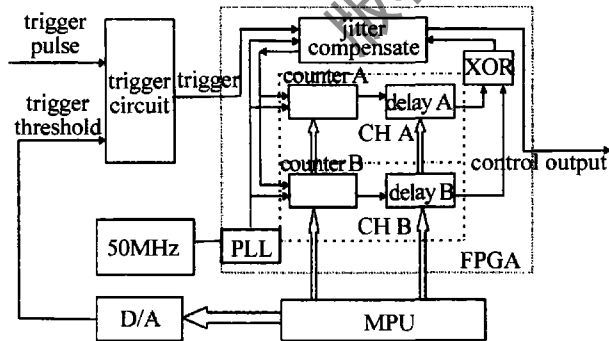


Fig. 3 Schematic diagram of the controller

阵列的丰富的资源,将基准时钟、计数器和数字延迟器集成在一片现场可编程门阵列内来保证控制器的可靠性。

图 3 中,外部时钟使用 50MHz 温度补偿的振荡器,经锁相环 (phase-locking-loop, PLL) 倍频到 200MHz,作为全局时钟基准源,以满足系统稳定度。

触发电路的输入一路是外接触发脉冲,另一路是从微处理器 (micro processor unit, MPU) 经数模转换转换后的阈值电压。触发电路输出作为定时器的触发源。

当触发源到来时,和基准时钟上升沿有一定的时间差,其差值最大可达一个时钟周期。抖动补偿电路用于补偿其延时时间。

现场可编程门阵列中两路延迟器分别由通道 A (CH A) 和通道 B (CH B) 组成,其结构相同,由粗粒度 8 位数字计数器 (counter A, counter B) 和细调数字延迟器 (delay A, delay B) 组成,数字计数器计数时钟为 200MHz,溢出时停止计数,延时的最大值 1275ns,精度 5ns; 数字延迟器使用现场可编程门阵列内的进位链作为延迟线,延时的最大值 5ns,精度可到 130ps,基本原理可参考文献 [7] ~ 参考文献 [9]。两路延迟器的信号经异或门 (exclusive-or gate, XOR)、抖动补偿输出延时时间和脉宽可调的脉冲。

两路延迟器的延时值可由微处理器预置,通道 A 确定控制器输出脉冲的延迟时间,通道 B 确定控制器输出脉冲的宽度。图 4 为延时控制器的时序图。

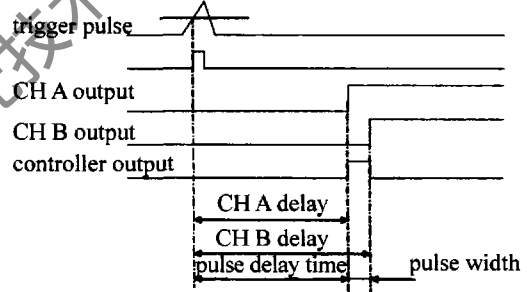


Fig. 4 Timing diagram of the controller

1.2 选通时序控制器的设计实现

现场可编程门阵列芯片选用 Altera Cyclone 系列 EP3C80,有关参量可见其技术手册 [10]。

1.2.1 数字计数器的实现 数字计数器 A 和数字计数器 B 结构相同,采用 8 位的可预置的并行计数器。触发脉冲到来时开始计数,输出为低电平,计满溢出后停止计数,输出为高电平。

1.2.2 数字延迟器的实现 专用进位连线是现场可编程门阵列中普遍存在的基本资源。Altera 公司在 Cyclone 系列的现场可编程门阵列中,为实现更快速的进位操作,对基本逻辑单元之间的专用进位连线资源进行了设计,基本逻辑单元中的专用进位连线资源从进位输入 (carry input) 到进位输出 (carry output) 之间的延时非常小,可用其来做时间内插单元电路。本文中使用现场可编程门阵列芯片中的专用进位连线级联起来形成时间延迟线实现精密延时。

现场可编程门阵列芯片中的加法器为延时提供了一个天然的结构,本文中将其 64 个一位加法器 (Imp_

add_sub0)的进位输入与输出依次级联,其数据输出(ss[64..0])形成了带抽头的延时器,其设计及布局见图5。图中加法器数据输入分别是 dataa 和 datab。第1个加法器的进位输入端接地,数据输入端的最低位(inb)接输入脉冲。在实现过程中为了防止编译器将加法器优化掉,必须注意加法器的输入端至少有一个变量,为此,加法器一个数据输入端相同(datab

[15..0]),另一数据输入从18位信号总线(dataaa [17..0])中选16位组成不同的输入。在布局时,相邻加法器在现场可编程门阵列芯片空间中必须相邻,以保证每个延时单元延时量相等。加法器的数据输出同时经数据选择器(Imp_mux0)输出延时脉冲,延时时间由数据选择器的选择信号(sel[5..0])确定。

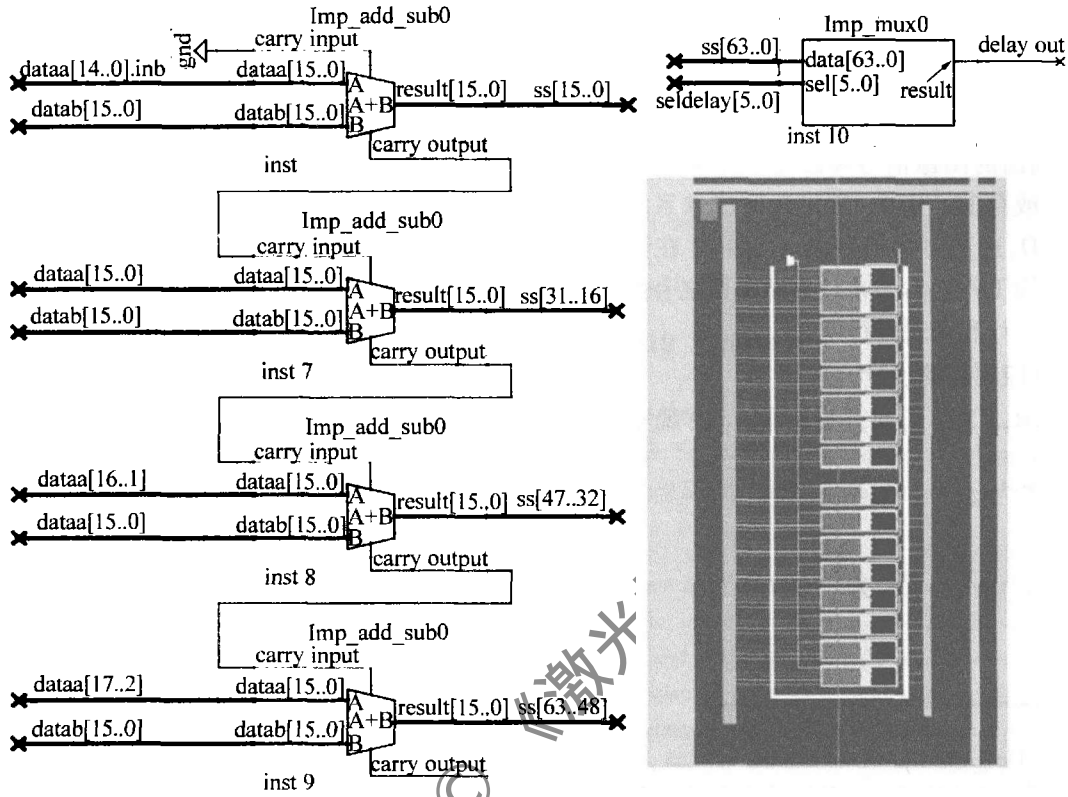


Fig. 5 Design of digital delay and its layout in FPGA

1.2.3 抖动补偿电路的实现 抖动补偿电路补偿触发脉冲与基准时钟上升沿之间相位差而引起的延时。具体实现见图6。

延时器输入。对脉冲进行延时,脉冲经数字延时器后输出(delay out)。

1.3 延时单元的仿真

本文中对延时器在 Quartus II 8.1 下进行仿真,仿真前必须进行时序约束,防止编译器将加法器优化,图7为16级延迟线仿真结果。从图中可看出每级延迟时间为130ps。

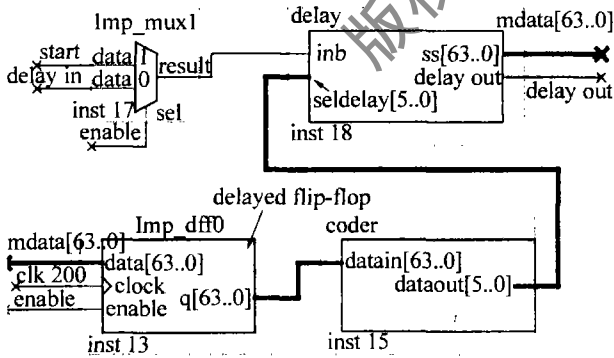


Fig. 6 Jitter compensation

抖动补偿电路由测量和补偿组成,共用一个数字延时器(delay)。使能信号(enable)用于切换测量和延时功能。在测量时,计数时钟(clk 200)到来时,触发器(Imp_dff)锁存触发脉冲(start)在延时器中的位置(mdata[63..0]),经编码(coder)输出后作为数字

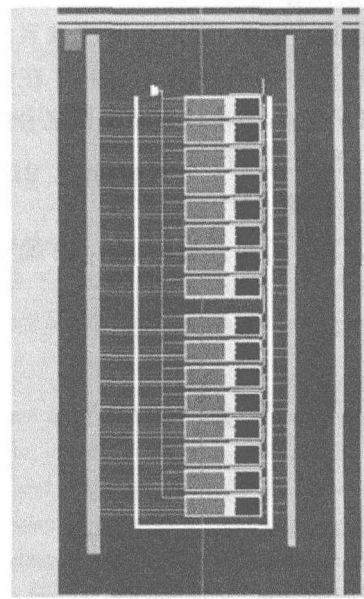


Fig. 7 Simulation result of 16-level delay cell

2 实验结果及讨论

采用自制 PCB 板对该控制器进行实测。实验中使用 Agilent33250A 作为控制器的触发源,输出脉宽为

5ns,模拟水下激光脉冲。该控制器中,现场可编程门阵列芯片选用EP3C80F484C8,采用50MHz时钟,经FPGA内PLL倍频到200MHz作为计数器的时钟,延时单元供使用64级物理相邻的加法器级联。控制器输出用泰克示波器TDS3032B测量。

图8是测试控制器延时性能结果图。控制器通道

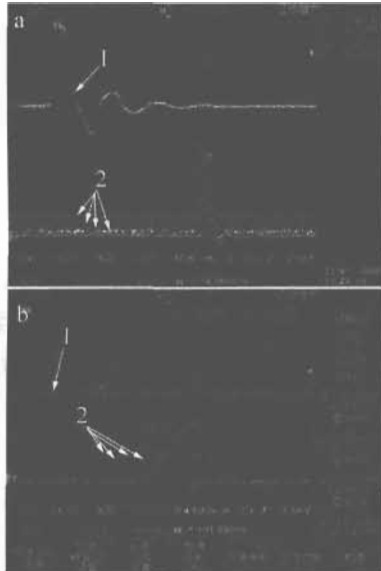


Fig. 8 Result of controller at different delay
a—time scale 20ns/div b—time scale 4ns/div

A延时时间依次设为92ns,94ns,96ns,98ns,100ns,通道B比相应通道A的延时时间长1ns。示波器中通道1为触发脉冲(见曲线1),通道2是控制器延时量为

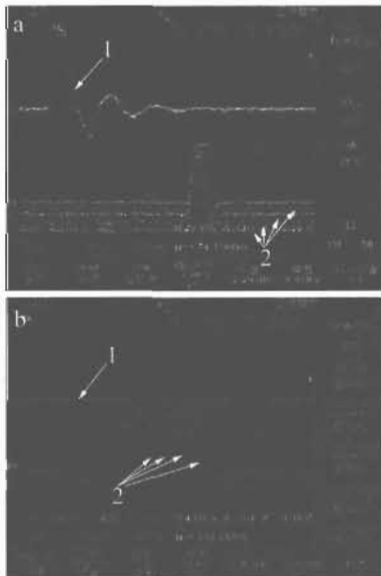


Fig. 9 Result of controller at different delay pulse width
a—time scale 20ns/div b—time scale 4ns/div

100ns时的波形,参考通道1~4依次是控制器延迟量分别为92ns,94ns,96ns,98ns时通道2的存储波形(见曲线2)。图8a中的示波器的时间尺度为20ns/div,图8b中的时间尺度是4ns/div。

图9测试控制器延时脉宽性能结果图。控制器通道A延时时间为92ns,通道B比通道A的延时时间依次长1ns,3ns,5ns,7ns,9ns。其它参量同图8。

测量数据表明,该控制器的延时时间及延时脉宽可调,输出信号稳定、精确,能满足水下距离选通成像的实时应用的要求。

3 结 论

通过根据水下激光距离选通成像系统分析,提出了一种基于FPGA的同步控制器的设计,该控制器能达到亚纳秒级延时精度和稳定度,仿真和实验证明了控制器该能满足水下激光距离选通成像系统要求。

参 考 文 献

- [1] TAN Ch S, SEET G, SLUZEK A, *et al.* A novel application of range-gated underwater laser imaging system (ULIS) in near-target turbid medium[J]. *Optics and Lasers in Engineering*, 2005, 43(9): 995-1009.
- [2] McLEAN E A, BURRIS H R, Jr, STRAND M P. Short-pulse range-gated optical imaging in turbid water[J]. *Appl Opt*, 1995, 34(21): 4343-4351.
- [3] BUSCK J, HEISELBERG H. Gated viewing and high-accuracy three-dimensional laser radar[J]. *Appl Opt*, 2004, 43(24): 4705-4710.
- [4] CHEN M S, LI T S, HE Zh Y. Application research of range-gated technique in underwater laser imaging system[J]. *Chinese Journal of Lasers*, 2008, 35(s1): 197-203 (in Chinese).
- [5] XU X W, GUO J, YU Q Y, *et al.* Key technique of laser range gated imaging[J]. *Laser Technology*, 2003, 27(6): 603-605 (in Chinese).
- [6] SUN Zh H, DENG J H, YAN X W. Progress and current state of the development of laser imaging detection system and its key techniques [J]. *Science & Technology Review*, 2008, 26(3): 74-79.
- [7] WU J, SHI Z. The 10ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay [C]//Nuclear Science Symposium Conference Record. Dresden, Germany: IEEE, 2008: 3440-3446.
- [8] KALISZ J, SZPLET R, PONIECKI A. Field-programmable-gate-array-based time-to-digital converter with 200ps resolution [J]. *IEEE Trans Instrum Measurement*, 1997, 46(1): 51-55.
- [9] FAVI C, CHARBON E. A 17ps time-to-digital converter implemented in 65nm FPGA technology [C]//FPGA 09: Proceeding of the ACM/SIGDA International Symposium on Field Programmable Gate Arrays. Monterey, USA: Association for Computing Machinery, 2009: 113-120.
- [10] Altera Corporation. Cyclone II device handbook [DB/OL]. [2009-10-25]. <http://www.altera.com/literature/lit-cyc3.jsp>.