

文章编号: 1001-3806(2004)02-0124-04

甚短距离光传输设计方法及实现技术

陆 娴, 高泽华, 纪越峰

(北京邮电大学 光通信中心, 北京 100876)

摘要: 甚短距离传输为路由器、交换机以及密集波分复用终端等设备之间的短距离互连提供了有效的解决方法。分析了甚短距离光传输的基本原理, 给出了相关的硬件实现方案和试验结果。测试结果表明, 该方案具有良好的可行性。

关键词: 甚短距离传输; 局内互连; 并行光传输; 现场可编程门阵列

中图分类号: TN929.11 文献标识码: A

Design and implementation of very short reach

LU Xian, GAO Ze-hua, JI Yuefeng

(Optical Communication Center, Beijing University of Posts and Telecommunications, Beijing 100876, China)

Abstract: Very short reach (VSR) provides a cost effective solution for optical interconnection between routers, switches, and DWDM systems. The fundamental of VSR is analysed. The hardware implementation and related test results are presented. It shows that this scheme is feasible.

Key words: very short reach (VSR); central office interconnection; parallel optical communication; field programmable gate arrays

引 言

目前, 因网络中的业务种类及网络结构的多样化, 导致各种不同的网元不断出现。这些网元, 如 IP 路由器、ATM 交换机、帧中继交换机、光交叉连接设备 (optical cross connect, OXC) 及波分复用 (wavelength division multiplexing, WDM) 或密集波分复用 (dense wavelength division multiplexing, DWDM) 设备, 处在开放系统互连 (open system interconnection, OSI) 模型的不同层面上。这些网元之间, 尤其是处在 OSI 模型的不同层面上的网元之间, 需要互连^[1]。

同时, 由于数据业务, 尤其是 IP 业务流量的不断增长, 使得传输带宽越来越高, 在短短的几年之内, 这些网元之间互连的链路速率就从 155Mbit/s (OC-3/STM-1) 上升到 2.5Gbit/s (OC-48/STM-16), 再上升到目前的 10Gbit/s (OC-192/STM-64)。现在, 10Gbit/s 接口的唯一标准是 SONET/SDH 的串行 OC-192/STM-64, 这是为长途传输 (大于 500km) 设计的,

一般采用 1550nm 波长在 1 条单模光纤中进行 10Gbit/s 传输, 这对发射器和接收器要求非常严格, 而且系统中还需要补偿高速传输中的损耗、色散、非线性效应和偏振模色散 (polarization mode dispersion, PMD), 因而价格十分昂贵。随着网元的增多, 这些用于它们之间互连的设备的费用就会激增。而实际上, 这些需要互连的网元通常位于同一栋大楼中, 它们之间的距离一般小于 300m。因此, 很有必要为这些甚短距离的互连设计成本有效的 10Gbit/s 的接口。

在短距离内实现 OC-192 的光互连, 不需要象长途接口那样, 要求信号在网元之间串行传输, 它允许把信号映射到不同信道上进行并行传送 (比如通过几条光纤同时传送, 或者利用一条光纤中的几个波长传送, 即采用波分复用的方法, 不过, 后者需要波长复用器和解复用器, 从而使成本变高), 只要能够保证信号在接收端能被正确接收即可。而且, 光纤的类型和波长的选择也比较自由, 只要能够保证在最低的成本下, 为短距离传输提供足够的性能, 就可以满足用户的要求^[2]。

2001 年初, 光学网际互连论坛提出了甚短距离传输 (very short reach, VSR) 标准。笔者就是根据其中第 1 种标准 VSR-1 进行设计和具体实现的^[3]。

基金项目: 国家八六三计划资助项目 (2001AA122031)

作者简介: 陆 娴 (1981), 女, 硕士研究生, 现从事光城域网方向的研究。

E-mail: xianlu81@sina.com

收稿日期: 2003-05-19; 收到修改稿日期: 2003-11-20

1 VSR-1 的工作原理

VSR-1 的基本原理是将高速的电信号转换成低速的并行光信号来传输,它主要利用比较便宜而且易于集成化的垂直腔表面发射激光器 (vertical cavity surface emitting laser, VCSEL) 以及并行光带传输技术来实现的。

VSR-1 使用与千兆以太网相同的激光器和多模光纤 (multi-mode fiber, MMF)。在发送和接收方向上,各使用 12 条 400MHzkm、芯径为 62.5 μ m 的多模光纤组成的光纤带,中心波长为 850nm。每条光纤都采用便宜而且易于集成的 VCSEL 作为光源,速率为 1.25Gbit/s。激光器和光电检测器都可以封装成阵列的形式。将 12 只 850nm VCSEL 组成的激光器阵列来代替传统的串行单激光器接口,此激光器阵列作在一块芯片上,它的封装成本与封装一只单波长激光器的成本相同,因此,业务提供者只需用封装成本的 1/12 即可获得同样的容量。光缆采用多纤连接器 (MTP/MPO) 接头。在这些条件下,允许传输的最远距离为 300m。

2 VSR-1 的设计方案

要利用 VSR-1 进行短距离的光互连,在发送端,就要将电接口的 622Mbit/s \times 16 路的低电平差分信号 (low voltage differential signaling, LVDS), 经过转换模块后, 变换成 1.244Gbit/s \times 12 路的信号, 然后通过 VCSEL 发送到并行光纤带上; 在接收端则相反, 接收来自光纤带上的 1.244Gbit/s \times 12 路的信号, 通过转换模块, 变换成 622Mbit/s \times 16 路的 LVDS 信号。

发送端接收到源同步的 622Mbit/s \times 16 路的 LVDS 信号, 进行比特交织, 变换成 10 路 124Mbit/s 的以字节为单位的信号, 再进行后面的处理。

为使 VSR 能具备一定的错误检测和恢复的能力及能对单根光纤失效的情况进行恢复, 可选择利用第 11 条路信道作为保护信道 (ECC 信道), 利用第 12 路信道来传送循环冗余校验码 (cyclic redundancy check, CRC) 值, 作为错误检测 (error detection channel, EDC) 信道。ECC 信道是对前面产生的 10 个信息信道的每一个比特按位异或, 得到的值作为该信道的数据, 这一信道与前边的数据信道是比特对齐的。EDC 信道的数据产生是对前面 11 个通道的数据以每 24 个字节为一个 block 为单位产生相应的 CRC16 的数据, 前 11 个信道一共可以产生 22 个字

节的 CRC 校验数据, 通过对这 22 个字节进行 CRC16 的计算可以产生另外两个字节 CRC 校验位, 这 24 个字节构成了 EDC 信道的数据内容。计算 CRC16 采用的多项式为 $X^{16} + X^{12} + X^5 + 1$ 。EDC 信道的数据与所有其它信道的数据要求对齐。

为消除直流电平, 同时使每条信道有一定的检错能力, 要对这些信道中的数据进行 8B/10B 编码。由于是并行传输, 每个数据通道之间到达接收端会有时延差 (不同信道间的最大容差为 80ns), 为了在接收端重新对齐, 需要在每一个通道中有帧定界符, 10 路数据通道中的前 3 个 SONET/SDH A1 字节以及保护通道和错误检测通道中相应于数据通道中前 3 个 A1 字节位置的数据都将为 8B/10B 的控制码 K28.5 所代替, 这样来构成帧定界符。为了实现协议中规定的识别光纤反插的功能。必须对前后信道有不同的标志, 同时不能影响信息透明传输。VSR 采用了用特殊标志码字替换 SDH 帧同步字节 A1 的方法, 选用的特殊码字是 D3.1 和 D21.2。具体实现起来, 就是将每一个信道所传的第 1 个 SDH 帧的 A1 由 K28.5 来取代, 通道 1~ 通道 6 的第 2 个 A1 将由 D3.1 来取代, 通道 7~ 通道 12 的第 2 个 A1 将由 D21.2 来取代, 第 3 个 A1 将由 K28.5 来取代。特殊的是第 12 个 EDC 信道由于是计算出来的 CRC 校验位, 没有同步信息。标准规定, 每帧的第 1 个 block 中前 3 个字节按前边方法进行替换。同时接收端不对第 1 个 block 进行差错控制。其余的数据按照标准的 8B/10B 编码变换。

信号经过 8B/10B 编码以后成为了 12 路 124Mbit/s 的 10bit 信号, 必须经过并串变换才能将信号发送出去。由于已经经过了 8B/10B 编码, 信号中已经含有定时信息, 同时信号的游程也得到保证, 所以并串转换后可直接输入调制激光器, 然后进行光传送。由上面的分析, 发送端要完成的功能见图 1。

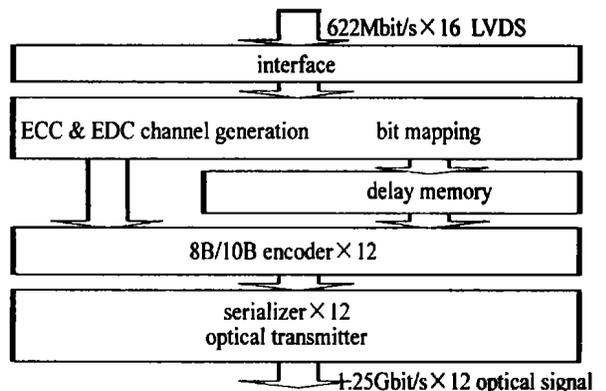


Fig. 1 Transmit direction block diagram

在接收端,则进行相反的操作。如图 2 所示。但在接收时,由于光信号是并行传送的,所以除了每个信道要进行时钟提取外,还要考虑不同链路间数据的同步,此外,接收端还要考虑光纤反接的倒换,帧同步状态的控制,数据检错恢复等功能,比发送端功能要复杂一些。

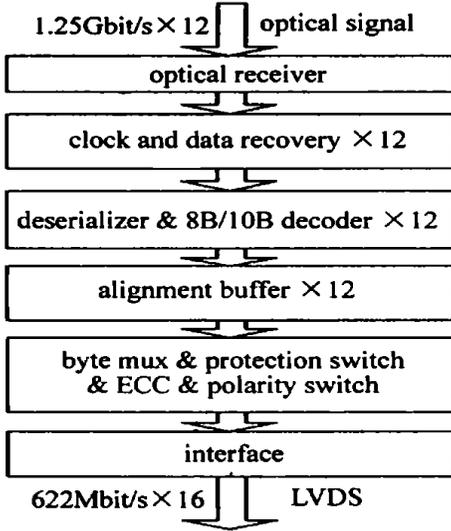


Fig. 2 Reception direction block diagram

从上面的叙述可以看出,要实现 VSR 的功能,首先要有 VCSEL 来进行光接收、光发送;然后要由硬件实现 VSR 系统中的比特交织、CRC 校验、8B/10B 的编码解码,以及系统中的缓存的功能,这些功能都比较适合用现场可编程门阵列 (field programmable gate arrays, FPGA) 来实现;另外, VSR 处理模块还必须实现与 Serdes 成帧器接口 (serdes framer interface, SFI) 接口以及与 VCSEL 模块的光接口。SFI 接口实现的关键是能接收和发送 622Mbit/s

与 VCSEL 的接口主要要实现 12 路并行的 1.24Gbit/s 的信号收发以及相关的时钟提取、数据恢复、串并转换等功能,可以用专用的串并变换芯片 transceiver 实现。图 3 中给出了实现 VSR-1 的示意图。

3 8B/10B 编码模块的 FPGA 具体实现

在 VSR-1 中,8B/10B 编码不仅能够消除直流电平,检出线路上的大部分误码,同时还能利用 8B/10B 码组中的控制码在帧中插入定界符,以便在接收端进行帧同步,而且还可以实现识别光纤反插的功能。因此,下面详细描述 8B/10B 编码及其 FPGA 实现。

在用 FPGA 实现编码时,因为 8B/10B 编码的输入码字和输出码字间没有固定的逻辑关系,因此该模块的设计采用单端口 RAM 来实现。8B/10B 编码在不同的游程(即极性)下,同样的输入码字对应的输出不同,同时游程的值又由前面的码字来控制,以保证线路上直流电平为 0,所以,应该把当前游程 (1bit) 以及待编码码字(8bit) 作为 RAM 的地址,控制 RAM 的输出, RAM 中需要存储相应的输出码字 (10bit) 和输出游程 (1bit)。即需要的 RAM 为 $2^9 \times 10$ bit。这样实现需要很大的 FPGA 的 RAM 空间。

在分析 8B/10B 码字时,发现 8B/10B 编码实际上就是 3B/4B 和 5B/6B 的组合,如输入为 HGF EDCBA,则相应的输出 jhgf iedcba;基本上遵循 HGF 编码为 jhgf, EDCBA 编码为 iedcba 的规则。同时在游程为 0 和 1 的不同情况下,除几个特殊码字外,相应的输出码字之间存在: (1) 各个比特完全相同; (2) jhgf 各个比特互补, iedcba 各个比特完全相同; (3) iedcba 各个比特互补, jhgf 各个比特完全相同; (4) 各个比特完全互补这几种固定情况。而新的游程的值,可以在每进行一次 3B/4B 和 5B/6B 编码后根据前次的游程和 4B, 6B 码字中 0 和 1 的个数来依次计算。这样,可以只将待编码码字作为地址来控制 RAM 输出,然后再利用当前游程和 RAM 的输出来判断输出码字和输出游程。这样需要的 RAM 为 $2^8 \times 14$ bit。和前面所讲的直接利用游程和待编码码字作为地址的编码方法相比,可以大大节省 RAM 的空间。同时,有一些 FPGA,最大的 RAM 深度也只有 256,而达不到 512,这样做,可以合理地利用 FPGA 内部的 RAM 资源。在编码时,根据前面给出的帧开始的标志按要求将部分 A1 的编码替换为 K28. 5, D3. 1 和 D21. 2^[4]。

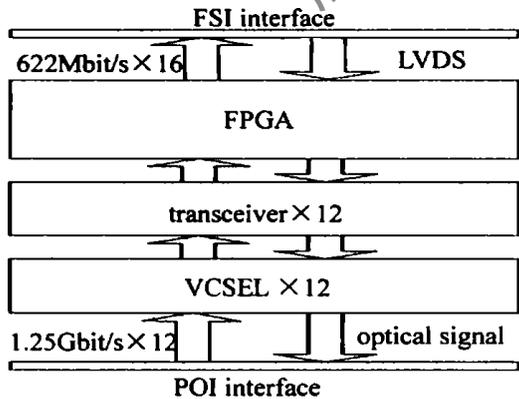


Fig. 3 Diagram showing how to design VSR 1 system

的单倍数据速率 (single data rate, SDR) LVDS 电平数据以及时钟,在较新的 FPGA 中,有专门的高速 LVDS 信号接收、发送模块,可以直接实现所需功能。

图 4 是将 8B/10B 编码程序下载到 FPGA 芯片

中,经采样得到的数据。

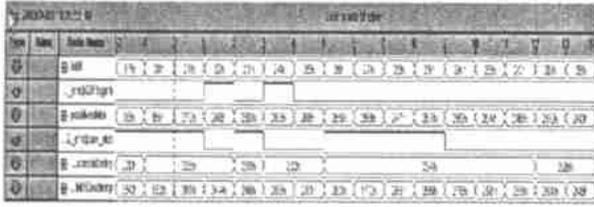


Fig. 4 The result of 8B/10B encoding

其中第 1 行是待编码的数据,第 2 行是相应于待编码数据的帧开始标志(它对应的数据被编码为 K28.5),第 3 行是在游程都为 0 的情况下所有的已编码数据,第 4 行是当前的游程,第 5 行是一些特殊码字的编码结果,最后一行是编码输出结果。从图中可以看出,编码结果是正确的。

4 系统试验测试结果

从前面的分析可以看出,在 VSR 系统中,在发送端,FPGA 只要将 $622\text{Mbit/s} \times 16$ 的 LVDS 信号经过比特交织、帧同步、EDC 和 ECC 信道产生,再进行 8B/10B 的编码,形成 12 路 $124\text{Mbit/s} \times 10$ 的信号,发送给 transceiver,由它来完成串并转换,发送给 VCSEL 即可。图 5 是发送端程序下载到 FPGA 芯片中,采样到发送给 transceiver 的 12 路数据:其中,第 11 路数据(Txdataout[109...100])是 ECC 信道经过编码后的结果,第 12 路数据(Txdataout[119...110])是 EDC 信道经过编码后的结果。transceiver 对这 12 路数据进行串并变换,生出 12 路 1.24Gbit/s 的信号,再由 VCSEL 转成光信号发到光纤中,成功完成发送端的功



Fig. 5 The data transmitted to transceiver

能。

而在接收端,FPGA 将来自 transceiver 的经过时钟提取、数据恢复、串并转换的 12 路 $124\text{Mbit/s} \times 10$ 的信号经过链路同步、解码、同步检测、链路对齐、差错恢复后,形成 10 路 $124\text{Mbit/s} \times 8$ 的信号,然后进行比特交织,形成 $62.2\text{Mbit/s} \times 160$ 的数据,然后由 FPGA 自带的 LVDS 发送模块发送 $622\text{Mbit/s} \times 16$ 的 LVDS 信号。图 6 是接收端程序下载到 FPGA 芯片中后,采样到的比特交织前的 10 路 $124\text{Mbit/s} \times 8$ 信号:对这 10 路信号进行比特交织,形成 $62.2\text{Mbit/s} \times 160$ 的数据,然后由 FPGA 自带的 LVDS 发送模块发送 $622\text{Mbit/s} \times 16$ 的 LVDS 信号,成功实现接收端功能。

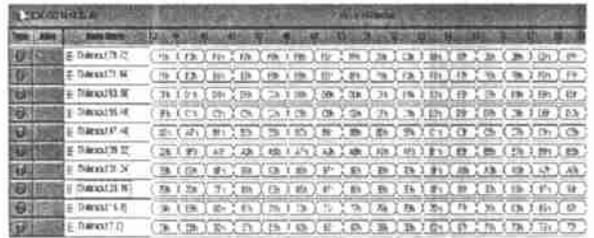


Fig. 6 The data after bit mapping in receive direction

5 结 论

给出了 VSR-1 的一种实现方案和实现技术,经测试表明,该方案具有良好的可行性。

参 考 文 献

- [1] 焦悦光,姚 劲,周炳琨 *et al.* 光电子·激光,2002,13(7):759.
- [2] PARASCHIS L, NICHOLL G, NOWELL M *et al.* Very short reach (VSR) parallel optics OC-192/STM-64 interface, optimized for network intra POP interconnections. OFC2001. United State: IEEE Communications Society, 2001. WS4 1.
- [3] OIF VSR4 01.0, very short reach (VSR) OC-192/STM-64 interface based on parallel optics. Optical Internetworking Forum, 2000.
- [4] IEEE Std802.3, carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications. IEEE, 2000. 966.